

# 6 Transistor-Schaltungstechnik

Dieses Kapitel soll einer kurzen Wiederholung von Stoff aus dem Lehrgebiet "Technische Informatik I" (elektrotechnische Grundlagen der Informatik) dienen und in das Stoffgebiet des hier vorliegenden Textes überleiten. Dieses Kapitel behandelt nur kurz die schaltungstechnischen Grundlagen der Anwendungen des Transistors (vgl. Bild 6.1). Für eine umfassendere Behandlung dieses Themas muß auf andere Literatur verwiesen werden (z. B. [5]).

## 6.1 Der Transistor

Dieser Abschnitt befaßt sich auf pragmatische Weise mit dem Transistor, seiner Geschichte, seinen Formen und auch seinen Grundsaltungen. Bild 6.4 gibt eine Übersicht über die heute wichtigsten Arten von Transistoren. Es seien zunächst einige Bemerkungen zur Terminologie vorausgeschickt. Die Bezeichnung "bipolar" geht darauf zurück, daß die Verschmelzung zweier entgegengesetzt gepolter "Dioden" wesentlich ist (vgl. Bild 6.5), wobei zwei *junctions* ko-

|  |     |
|--|-----|
| 6.1 Der Transistor .....   | 113 |
| 6.1.1 Die Geschichte des Transistors.....                            | 114 |
| 6.1.2 Der bipolare Transistor .....                                  | 115 |
| 6.3.1 Die Grundsaltungen des bipolaren Transistors .....             | 128 |
| 6.1.3 Der Feldeffekt-Transistor (FET).....                           | 118 |
| 6.1.3.1 Die Kenndaten des FET.....                                   | 121 |
| 6.1.4 Vergleiche zwischen bipolaren und unipolaren Transistoren..... | 124 |
| 6.2 Repetitorium der Schaltungstechnik.....                          | 125 |
| 6.2.1 Graphische Verfahren zur Schaltungstechnik .....               | 125 |
| 6.3 Grundsaltungen mit Transistoren.....                             | 127 |
| 6.3.1 Die Grundsaltungen des bipolaren Transistors .....             | 128 |
| 6.3.1.1 Der bipolare Transistor im Schalterbetrieb.....              | 128 |
| 6.3.1.2 Stromübernahme: Logik mit Dioden und Emitter-Kopplung.....   | 129 |
| 6.3.1.3 Bus-Modellierung von Digitalschaltungen.....                 | 129 |
| 6.3.1.4 Transistormatrizen .....                                     | 130 |
| 6.3.2 Digitale Grundsaltungen mit MOS-Transistoren.....              | 130 |
| 6.3.3 Gemischte Digitalschaltungen .....                             | 131 |
| 6.4 Schaltverhalten unter kapazitiver Last.....                      | 132 |
| 6.4.1 Inverter mit kapazitiver Last.....                             | 133 |
| 6.4.2 Dynamik des Emitterfolgers .....                               | 133 |
| 6.5 Zusammenfassung des Kapitels.....                                | 134 |
| 6.6 Literatur .....  | 134 |

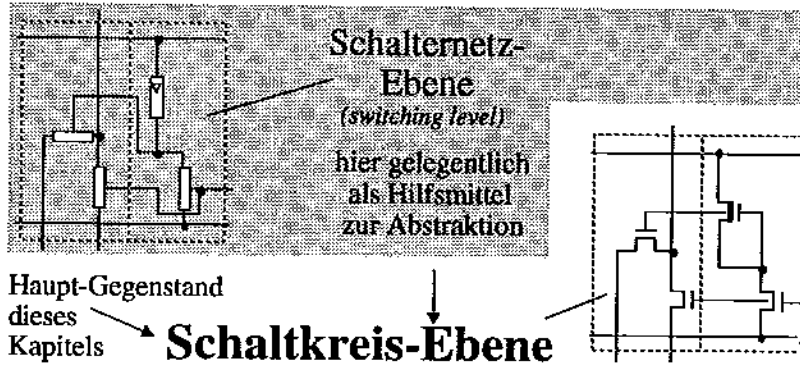


Bild 6.1 Die von diesem Kapitel betroffenen Abstraktionsebenen

existieren: eine *np-junction* (linke Seite in Bild 6.5 b) und eine *pn-junction* (rechte Seite). Unter *junction* ist eine Materialeigenschaft zu verstehen: zwei unterschiedlich dotierte Materialien (hier n-dotiertes Silizium und p-dotiertes Silizium) stoßen aneinander. Dies ist nicht zu verwechseln mit einer *Sperrschicht* (vgl. Bild 6.5 a), welche Teil eines Betriebszustandes ist: eine Ladungsträger-arme dünne Schicht, die siunter bestimmten Umständen um eine junction herum entstehen kann. Bei MOS-Technologie ist jeweils nur eine einzige Sorte von junctions beteiligt bei der Bildung eines Transistors. Deshalb werden diese Transistoren auch als *unipolare* Transistoren bezeichnet.

### 6.1.1 Die Geschichte des Transistors

Die Geschichte des Transistors und die der integrierten Schaltung sind eng miteinander verwoben [2]. 1945 stellten die Bell Laboratorien eine Gruppe hervorragender Physiker zusammen, deren Aufgabe die Erforschung von Halbleitertechnologien war. Nach drei Jahren erfolgreicher Arbeit, die aber auch von zahlreichen Rückschlägen geprägt war, stellten die Wissenschaftler William Shockley, Walter Brittain und John Bardeen einen kleinen Verstärker vor, der aber ohne die bis dahin verwendeten Röhren funktionierte. Der Zufall half ihnen bei der Entdeckung von Widerstandsänderungen an der Grenze zwischen p- und n-leitenden Halbleiterkristallen in Abhängigkeit der fließenden Ströme. Durch einen Steuerstrom ließ sich die Widerstandsänderung auf einen größeren Strom übertragen, so daß der Steuerstrom quasi um ein vielfaches verstärkt wurde. Man hatte also einen *Transfer Resistor* entdeckt, den *Transistor*.

Anfangs wurde die Tragweite dieser epochemachenden Entdeckung völlig unterschätzt. Erst 1956 erhielten Bardeen und Brittain für die praktische Entwicklung und Shockley für die theoretische Erforschung des Transistors den Nobelpreis für Physik. Nach den ersten unförmigen Prototypen konnten die Transistoren immer mehr verkleinert und verbessert werden, die Anwendungen wurden immer zahlreicher, und die bis dahin verwendete Röhrentechnik mit ihrer hohen Wärmeentwicklung, Leistungsaufnahme und dem enormen Platzbedarf wurde mehr und mehr vom Markt gedrängt. Besonders die Computertechnik profitierte von dieser neuen funk-



6.1 Der Transistor

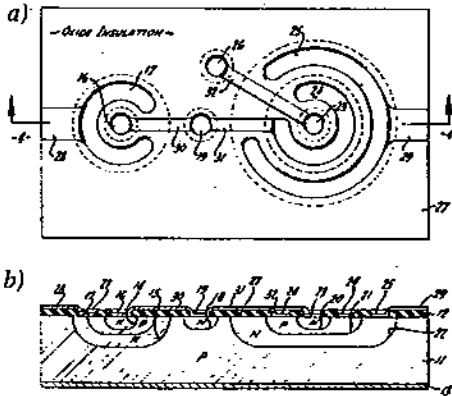
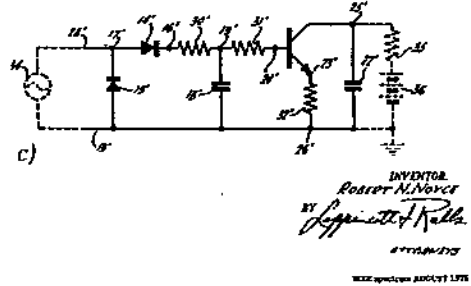


Bild 6.2: Erfindung der integrierten Schaltung - aus der Patentschrift von Jack Kilby: a) Bild des Chip, b) Schnittbild, c) Schaltplan.



tionstüchtigen und wartungsarmen Technologie, besteht ein Computer doch nahezu ausschließlich aus Schaltelementen, bis dahin also aus den anfälligen Röhren oder Relais.

6.1.2 Der bipolare Transistor

In der Anfangszeit der kommerziellen Anwendung des Transistors war der Bipolartransistor dominierend, zunächst als diskreter Transistor, ab Mitte der 60er Jahre auch bei den ersten integrierten Schaltungen, wie bei der bald weit verbreiteten TTL-Technik. Als Datum der Erfindung der integrierten Schaltung kann man etwa das Jahr 1958 ansetzen [6]. Im Sommer 1958

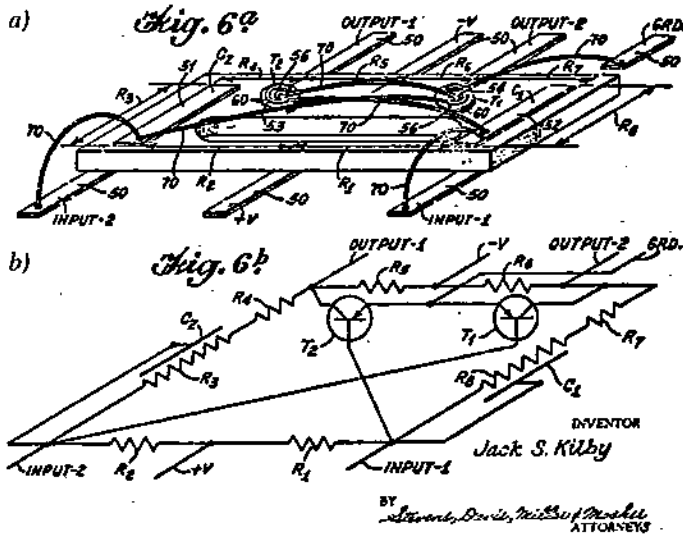
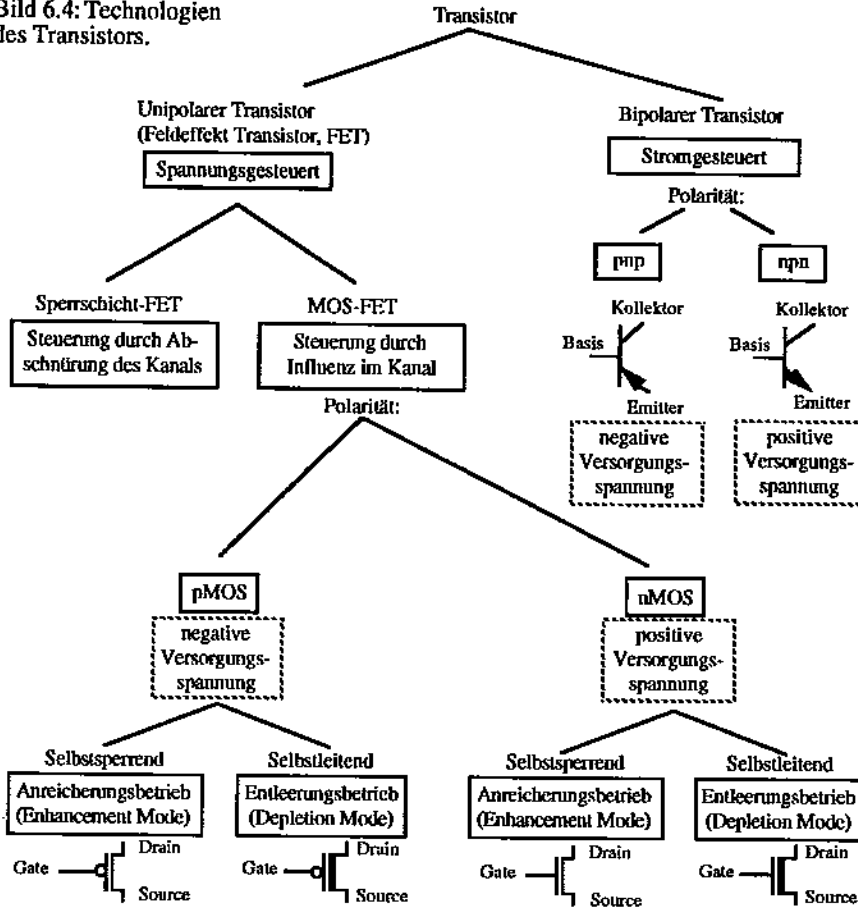


Bild 6.3: Zur Erfindung der integrierten Schaltung: Abbildungen aus der Patentschrift von Robert Noyce; a) der "Chip", b) topologischer Schaltplan.

Bild 6.4: Technologien des Transistors.



erfand Jack Kilby (damals Ingenieur bei Fa. Texas Instruments) die erste integrierte Schaltung. Bald darauf, fast gleichzeitig, folgte das Patent von Robert Noyce (vgl. Bild 6.2 [6]), damals Ingenieur bei Fa. Fairchild Camera & Instruments (heute Präsident der Intel Corporation). Die Details dieser Schaltung waren inkonsequent, insbesondere bei der von Jack Kilby: ein Großteil der Verdrahtung wurde beispielsweise nachträglich von außen dazugeflickt (gebondet, vgl. Bild 6.3 [6]). Aber der Entwicklungs-Anstoß (engl.: *impact*) auf die gesamte Branche war ungeheuer [3][4]: ein neuer Multi-Milliarden-Wirtschaftszweig entstand. Erst in den 70er Jahren begann der FET wegen seiner höheren Integrationsdichte insbesondere bei integrierten Schaltungen den bipolaren Transistor zu überholen.

### 6.1.2.1 Zur Physik des bipolaren Transistors

In der Frühzeit der Anwendungen des Transistors war der Bipolartransistor dominant. Ein solcher Transistor besteht aus drei aufeinanderfolgenden Halbleiterschichten mit abwechselnder

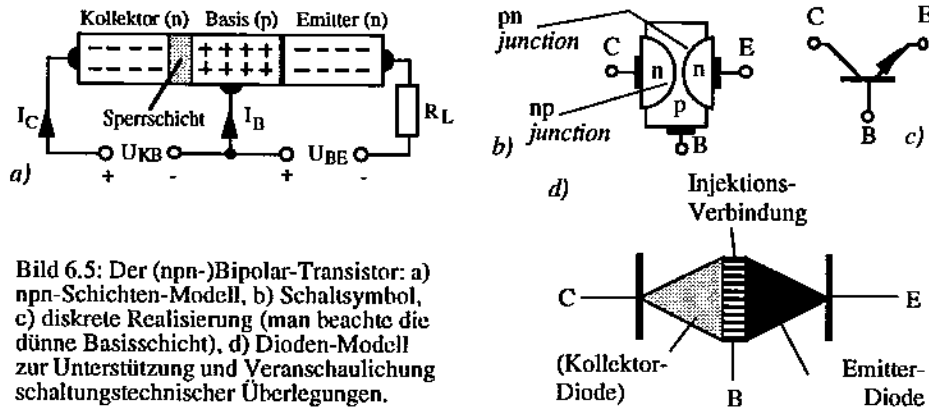


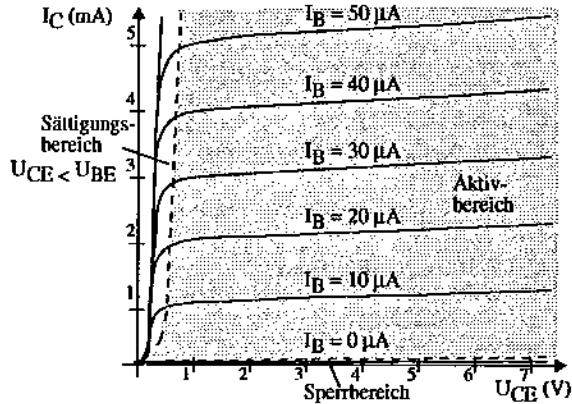
Bild 6.5: Der (nnp-)Bipolar-Transistor: a) npn-Schichten-Modell, b) Schaltsymbol, c) diskrete Realisierung (man beachte die dünne Basisschicht), d) Dioden-Modell zur Unterstützung und Veranschaulichung schaltungstechnischer Überlegungen.

p- und n-Dotierung, d.h. die Halbleitermaterialien Silizium oder Germanium werden bewußt mit anderen Elementen so verunreinigt, daß ein Elektronenüberschuß (n-Halbleiter) oder Elektronenmangel (p-Halbleiter) entsteht. Man kann auf diese Weise zwei Sorten von Transistoren herstellen: solche mit der Reihenfolge p-n-p und solche mit n-p-n Schichtenfolge. Bei der Beschreibung der Funktion wollen wir uns auf den letzteren Typ beschränken; analog funktioniert jedoch der erste Typ bei entgegengesetzter Polung.

Bild 6.5 a zeigt den Aufbau eines npn-Transistors, Bild 6.5 c das dazugehörige Schaltsymbol. Bild 6.5 b zeigt einen Schnitt durch den diskreten Legierungstransistor (die planare Form des bipolaren Transistors wird später in Kapitel 10 eingeführt). Die Bezeichnung der Anschlüsse erfolgt im Sinne der *technischen Stromrichtung*, d.h. entgegen dem tatsächlichen Elektronenfluß (vgl. Bild 6.16). Man spricht dann von Lächerleitung oder dem Fluß positiver Ladungsträger. Dementsprechend gibt es einen *Kollektor*, der diese positiven Ladungen "einsammelt" und einen *Emmitter*, der sie "ausstößt". Die Bezeichnung der mittleren Schicht als *Basis* geht noch auf den etwas unförmigen Prototypen des Transistors zurück, der auf einem Stück Germanium als "Grundplatte" aufgebaut wurde, das gleichzeitig die Funktion dieser mittleren Schicht übernahm.

Durch die Spannungsquelle  $U_B$  und die in Durchlaßrichtung befindliche Basis-Emmitter-Diode fließt der Basisstrom  $I_B$ . Die Kollektor-Basis-Diode hingegen ist in Sperrrichtung zur Kollektor-Basisspannung  $U_K$  geschaltet, so daß theoretisch kein Strom  $I_C$  fließt. Nun ist die Basisschicht allerdings extrem dünn - ca. 10  $\mu\text{m}$  oder weniger - ausgebildet (Bild 6.5 b), so daß Elektronen auf ihrem Weg vom Emmitter zur Basis zum Teil auch in die Sperrschicht zwischen Basis und Kollektor wandern und diese schwächen. Eine Vergrößerung des Basisstroms bewirkt also eine Verkleinerung bzw. Aufhebung (Sättigungsbetrieb) der Sperrschicht und damit eine Verstärkung des Kollektorstroms  $I_C$ . Der Kollektorstrom beträgt dabei in der Regel ein erhebliches Vielfaches des steuernden Basisstroms, so daß der Transistor also einen Verstärker darstellt. Bild 6.6 zeigt ein Beispiel einer Kennlinie, in welcher die Abgrenzungen der Betriebsbereiche *Sättigungsbereich* (bei  $U_{CE} < U_{BE}$ ), *aktiver Bereich*, und *Sperrbereich* eingezeichnet sind. Der bipolare Transistor ist Strom-gesteuert, d. h. zu seiner Ansteuerung muß ein Basis-

Bild 6.6: Kennlinien des Bipolartransistors.



strom aufgebracht werden (vgl. Parameter  $I_B$  in Bild 6.6). Typisch ist auch die (bezüglich  $I_B$ ) praktisch linear gefächerte Kennlinienschar (vgl. Bild 6.6).

**Das Doppeldioden-Modell.** Bild 6.5 d zeigt das Doppeldioden-Modell des Bipolartransistors, ein das Verständnis der Schaltungstechnik unterstützendes Modell, welches Analyse und Synthese von Schaltungen aus Transistoren zusammen mit anderen Bauelementen anschaulicher gestalten soll. Die Emittordiode veranschaulicht das zwischen den Anschlüssen B und E sichtbare typische Diodenverhalten des Bipolartransistors. Die Schicht "Injektionsverbindung" soll daran erinnern, daß der Emittorstrom (natürlich abzüglich des Basisstromes) auf dem Wege der Diffusion von Ladungsträgern in den Kollektor injiziert wird - entgegen der Durchlaßrichtung der Kollektordiode! (sofern kein Sättigungsbetrieb vorliegt). Das Modell hilft beim Verständnis von Transistorschaltungen durch die Regel: **Der Transistor ist nur dann leitend, wenn die Emittordiode leitend ist.**

### 6.1.3 Der Feldeffekt-Transistor (FET)

Dieser Abschnitt führt auf pragmatische Weise den Feldeffekt-Transistor ein (FET, auch *Unipolar-Transistor* genannt). Bereits 1926 ließ sich Julius Lilienfeld das Prinzip eines Feldeffekt-

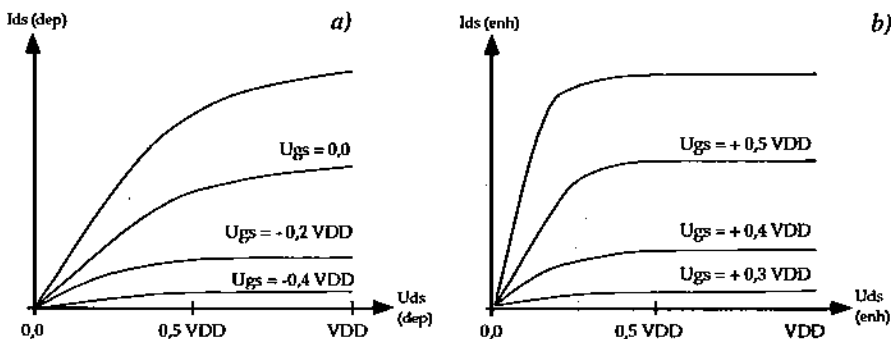


Bild 6.7: MOSFET Kennlinien: a) selbstleitend, b) selbstsperrend.

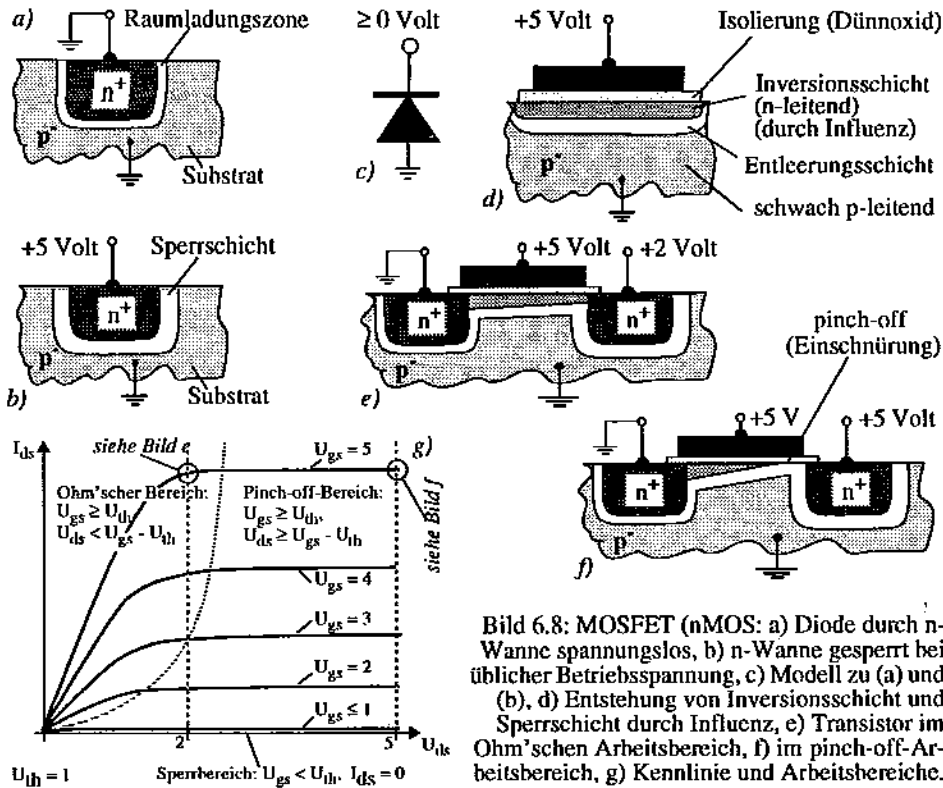


Bild 6.8: MOSFET (nMOS: a) Diode durch n-Wanne spannungslos, b) n-Wanne gesperrt bei üblicher Betriebsspannung, c) Modell zu (a) und (b), d) Entstehung von Inversionsschicht und Sperrschicht durch Influenz, e) Transistor im Ohm'schen Arbeitsbereich, f) im pinch-off-Arbeitsbereich, g) Kennlinie und Arbeitsbereiche.

Transistors patentieren. Seine Idee war einfach und einleuchtend: Man bringt eine Metallplatte in die Nähe eines Halbleiters, legt eine Spannung an ihr an und erreicht je nach Polung durch das in den Halbleiter dringende elektrische Feld eine Anziehung oder Abstoßung der Ladungsträger. In der Praxis ist dieses Prinzip eines spannungsgesteuerten Transistors zu der Zeit jedoch nicht erforscht gewesen, denn die Idee war den zu Verfügung stehenden Materialien zu weit voraus. Man konnte kein geeignetes Halbleitermaterial finden, daß gleichzeitig ausreichend leitfähig für den zu steuernden Strom war und doch genügend isolierte, um ein steuerndes Feld nach dem Kondensatorprinzip aufbauen zu können. Der Durchbruch des Transistorprinzips gelang später ja auch zunächst - wie oben beschrieben - mit den stromgesteuerten, sogenannten Bipolartransistoren.

Bild 6.4 zeigt eine Übersicht der heute wichtigsten MOS-Transistoren. In Bild 6.18 werden Aufbau und Funktionsweise eines FET veranschaulicht am Beispiel der MOS-Technologie (*Metal-Oxide-Semiconductor*, Metall-Oxid-Halbleiter), wie sie in der integrierten Schaltungstechnik Verwendung findet. In einem schwach p-dotierten Trägermaterial (Substrat, engl.: *bulk*) sind zwei n-dotierte kleine Wannen eingebracht, von denen eine als *Source* (Quelle) und die andere als *Drain* (Senke) bezeichnet und mit den entsprechenden Anschlüssen belegt wird

| Name des Modells              | Veranschaulichung (Abbildung) | Anwendungsbereich                                | Bemerkungen  |
|-------------------------------|-------------------------------|--|--|
| Schalter-Modell<br>a)         |                               | logische Funktion von Digitalschaltungen         | b. Bipolartransistoren nur eingeschränkt brauchbar |
| Doppel-Dioden-Modell<br>b)    | Injektions-Verbindung<br>     | logische Funktion von Digitalschaltungen         | nur für Bipolar-schaltungen                        |
| Schaltwiderstand-Modell<br>c) |                               | statische Dimensionierung von Digitalschaltungen | für MOS-Schaltungen                                |

Bild 6.9: Übersicht über Transistor-Modelle.

(Bild 6.18 e und f). Darüber befindet sich eine als *Gate* (Gatter) bezeichnete Schicht aus dem leitenden Polysilizium (meist kurz *Poly* genannt), die durch eine dünne Oxidschicht vom Substrat isoliert ist. Bild 6.18 a - c zeigen, daß zur Isolierung eines MOSFET gegen das Substrat dank der Sperrschicht keine speziellen Maßnahmen erforderlich sind. Bild 6.18 d veranschaulicht das Entstehen des Kanals durch Influenz: die positive Ladung des Gate-Anschluß zieht im Substrat die Minoritätsträger (-) an und stößt die Majoritätsträger (+) ab. Durch letzteres entsteht auch unter dem Kanal eine isolierende Sperrschicht (s.a. Bild 6.18 e und f).

Wenn nun keine Spannung zwischen Gate und Source anliegt, kann durch die Source-Drain Strecke kein Strom fließen. Legt man zwischen Gate und Source nun eine Spannung an, so entsteht ein elektrisches Feld, unter dessen Einwirkung vermehrt negative Ladungsträger zum Gate gezogen werden, d.h. unterhalb des Gates reichern sich Elektronen an (Es entsteht ein dünner n-Kanal zwischen Source und Drain, den man auch Inversionsschicht nennt, weil sich unter Einfluß des Feldes quasi die Dotierung in diesem Bereich umkehrt.).

**Isolierschicht-FET.** Es gibt verschiedene Arten von FETs, je nach der Art der Feldeinwirkung und Gate-Isolierung. Der oben beschriebene FET gehört zu den Isolierschicht-FET's, da das Gate durch eine Oxidschicht vollständig vom Substrat isoliert wird. Diese Kategorie wird noch

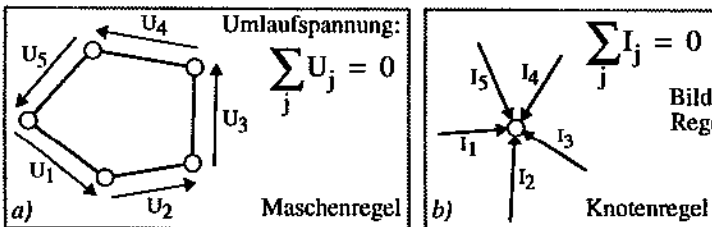
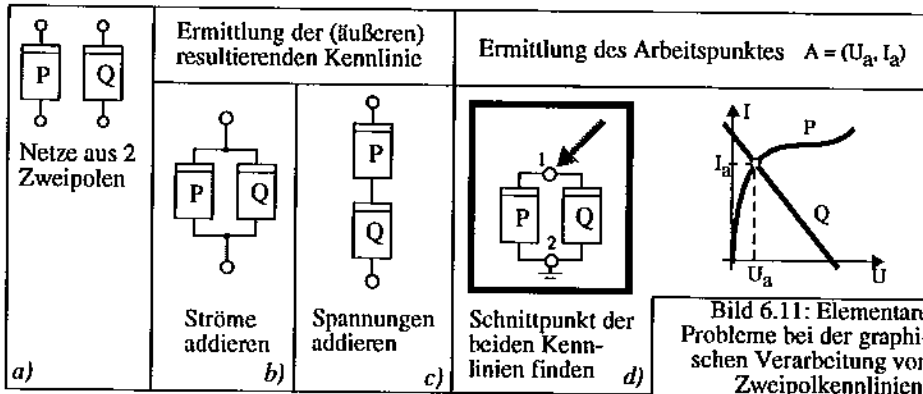


Bild 6.10: Kirchhoff'schen Regeln: a) Maschenregel, b) Knotenregel.





aufgeteilt in die durch die Feldeinwirkung hervorgerufenen Prozesse, im obigen Fall war dies ein selbstsperrender Transistor, bzw. Anreicherungstyp (*Enhancement Type*). Es gibt aber auch den selbstleitenden Transistor, bzw. Verarmungs- oder auch Entleerungstyp (*depletion type*), der bei steigender negativer Gate-Source Spannung den Source-Drain-Kanal durch Verdrängung vorhandener Elektronen abschnürt, für  $U_{GS}=0$  jedoch leitend ist.

**Sperrschicht-FET.** Neben diesen FET-Typen gibt es auch noch den Sperrschicht-FET, bei dem das Gate durch einen pn- oder np-Übergang mit dem Source-Drain-Kanal verbunden ist. Im Gegensatz zum nahezu leistungslos steuerbaren Isolierschicht-FET können hier jedoch bis zu 1000 mal stärkere Ströme vom Gate zum Substrat auftreten. Bild 6.4 veranschaulicht noch einmal den Zusammenhang zwischen den wichtigsten Transistortechnologien. Der Sperrschicht-FET ist praktisch bedeutungslos für integrierte Digitalschaltungen. Deshalb ist künftig in diesem Manuskript mit FET stets der Isolierschicht-FET gemeint.

### 6.1.3.1 Die Kenndaten des FET

Bild 6.7 und Bild 6.8 zeigen die typischen Kennlinien für n-Kanal-MOSFETs. Der selbstleitende Verarmungstyp (Bild 6.7 a) erlaubt umso höhere Ströme durch den Kanal, je niedriger  $U_{GS}$  ist. Für  $U_{GS} = 0$  steigt der Strom  $I_{DS}$  nahezu proportional zur Spannung  $U_{DS}$ ; der Transistor verhält sich dann recht gut wie ein ohm'scher Widerstand, dessen Größe von den Kanalproportionen bestimmt wird. Wie wir noch sehen werden, ist dies denn auch die Hauptanwendung von

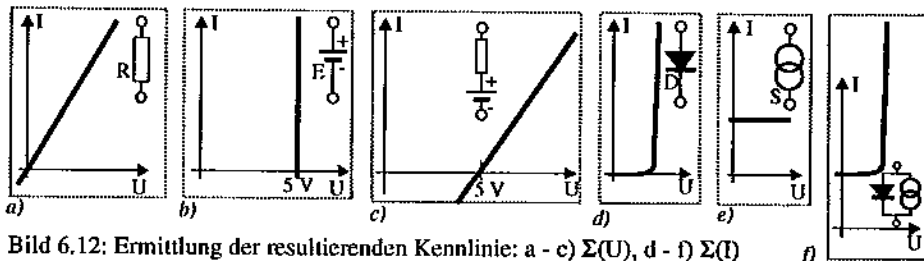


Bild 6.12: Ermittlung der resultierenden Kennlinie: a - c)  $\Sigma(U)$ , d - f)  $\Sigma(I)$

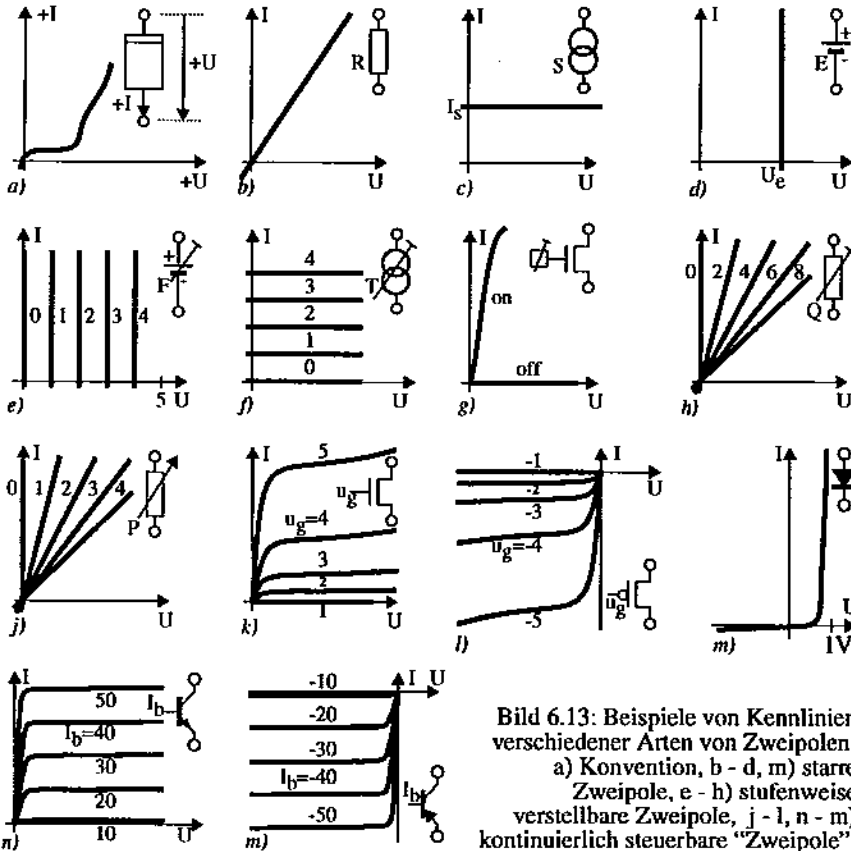


Bild 6.13: Beispiele von Kennlinien verschiedener Arten von Zweipolen:  
 a) Konvention, b - d, m) starr  
 Zweipole, e - h) stufenweise  
 verstellbare Zweipole, j - l, n - m)  
 kontinuierlich steuerbare "Zweipole".

*depletion mode* Transistoren in der integrierten Schaltungstechnik, indem Gate und Source fest miteinander verbunden werden und so  $U_{gs} = 0$  sichergestellt wird.

Der selbstsperrende Transistor (Anreicherungstyp, Bild 6.7 b) hat deutlich steilere Kennlinien. Der Transistor stellt bei positiver Gate-Source-Spannung zunächst nur einen geringen Widerstand im DS-Kanal dar, so daß  $I_{ds}$  mit steigendem  $U_{ds}$  rasch ohm'sch wächst. Die Anzahl der pro Zeiteinheit in der dünnen Inversionsschicht verschiebbaren Ladungsträger ist dann aber auch schnell an einem durch die zwischen Gate und Substrat (bulk) erzeugte Feldstärke bestimmten Maximum angelangt, so daß der Strom kaum noch weiter steigen kann. Der Transistor arbeitet dann gesättigt, d.h. höheren DS-Spannungen wird ein steigender Widerstand entgegengesetzt.

Ein FET hat drei wesentliche Arbeitsbereiche, die in Bild 6.8 g gezeigt werden. Dazu gilt es, noch ein weiteres Kenndatum des FET zu betrachten: die Schwellenspannung  $U_{th}$  (von *threshold* = Schwelle). Sie stellt die charakteristische Spannung dar, die  $U_{gs}$  mindestens überschrei-

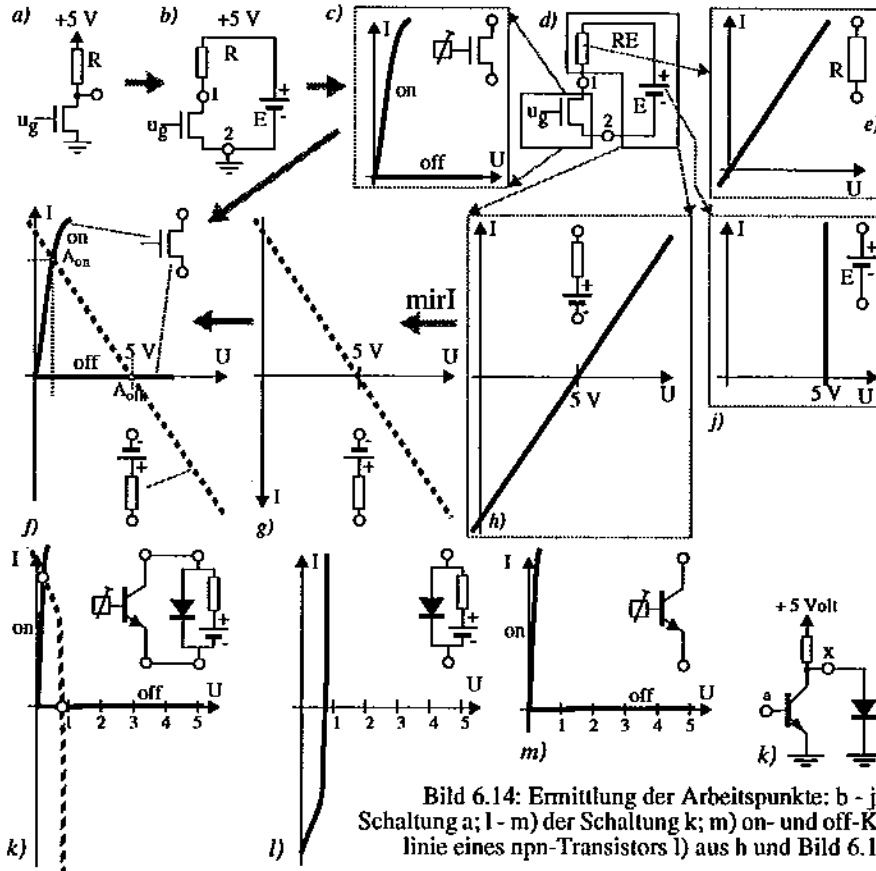


Bild 6.14: Ermittlung der Arbeitspunkte: b - j) der Schaltung a; l - m) der Schaltung k; m) on- und off-Kennlinie eines npn-Transistors l) aus h und Bild 6.13 m.

ten muß, um eine Veränderung in der Inversionsschicht hervorzurufen. Ein typischer Wert liegt bei einem Fünftel der Betriebsspannung, also bei ca.  $0.2 \cdot V_{DD}$  (Mit  $V_{DD}$  bezeichnet man die für die jeweilige Technologie typische positive Versorgungsspannung), also hier (mit  $V_{DD} = 5$  Volt) etwa 1 Volt. Die Differenz zwischen Schwellenspannung und  $U_{GS}$  (im Bild Bild 6.8 g ist die Grenzkurve punktiert eingezeichnet) stellt den Übergang zwischen dem Ohm'schen Bereich und dem Pinch-off-Bereich dar. Steigt die Spannung zwischen Drain und Source über diesen Wert hinaus, so ändert sich  $I_{DS}$  kaum noch. Der Pinch-off-Strom ist jeweils proportional zum Quadrat der Differenz  $U_{GS} - U_{th}$ . Im Abschnürbereich, wo  $U_{GS}$  kleiner als  $U_{th}$  ist, können keine Ladungsträger den DS-Kanal passieren - der FET sperrt und es ist  $I_{DS} = 0$ . Im Ohm'schen Bereich verhält sich der Transistor praktisch wie ein Ohm'scher Widerstand (vgl. Kennlinien nahe der senkrechten Koordinatenachse in Bild 6.8 g), was für Digitalschaltungen durch das einfache Schalter-Modell in Bild 6.9 c gezeigt wird.

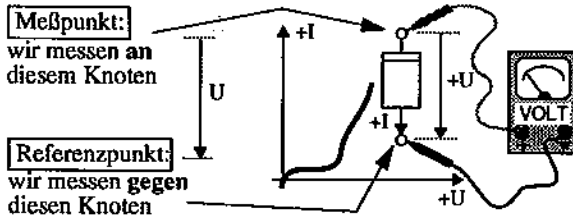


Bild 6.15: Konvention zur Spannungsmeßrichtung und zur Notation der Spannungspfeile (Zweipolsymbol in Kennlinien: (Bild 6.13, Bild 6.12 etc.) Meßpunkt oben, Referenzpunkt unten).

### 6.1.4 Vergleiche zwischen bipolaren und unipolaren Transistoren

Der bipolare Transistor ist stromgesteuert, hat eine fast lineare Übertragungs-Kennlinie, (vgl. die äquidistante Kennlinienschar in Bild 6.6) und hat eine sehr niedrige  $U_{CE}$ -Restspannung (im Sättigungsbetrieb), wodurch ein hoher Spannungshub erzielbar ist. Im allgemeinen ist ein Vorwiderstand zur Begrenzung des Basisstromes nötig (vgl. Bild 6.20 e, k, n). Bei DCTL-Technik (vgl. Bild 6.20 d, j) wird der Basisstrom durch den Lastwiderstand der treibenden Stufe begrenzt. Der bipolare Transistor kann für sehr schnelle Schaltungen verwendet werden, hat dann aber eine hohe Verlustleistung. Bipolartransistoren müssen gegeneinander und gegen das Substrat isoliert werden, wozu zusätzliche Layoutfläche verbraucht wird (vgl. Kap.10).

Der unipolare Transistor ist rein spannungsgesteuert, d. h. im statischen Zustand fließt kein Eingangsstrom in den Gate-Anschluß, weshalb auch kein Vorwiderstand notwendig ist (und für diesen auch keine Fläche benötigt wird). Bei niedriger Drain-Source-Spannung ist die Kennlinie praktisch gerade (man spricht deshalb hier vom resistiven Bereich). Dies wird für Gatter nach Art von Bild 6.20 m durch das Ersatzbild in Bild 6.9 c modelliert. Die Übertragungs-Kennlinie ist quadratisch (vgl. die unterschiedlich großen Abstände benachbarter Kennlinien in Bild 6.8). FETs gleicher Polarität müssen nicht gegeneinander und auch nicht gegen das Substrat durch besondere Maßnahmen isoliert werden. Deshalb und durch den Fortfall von Vorwiderständen wird mit FETs eine viel höhere Integrationsdichte erreicht als mit bipolaren Transistoren. Drain- und Source-Anschluß sind austauschbar und Transfer-Transistor-Betrieb ist sehr gut machbar, wodurch für Gatter oft wesentlich weniger Transistoren nötig sind, im Vergleich zu bipolaren Transistoren (vgl. Kapitel 17). Dies bringt bezüglich der je Chip möglichen Anzahl von Gattern noch zusätzliche Vorteile, die über den oben genannten Flächenvorteil noch hinausgehen. Dieser Vorteil macht auch die bei statischer CMOS-Technik nötige Doppelrealisierung von Teilschaltungen wieder wett (vgl. Bild 16.5 und Abschnitt 16.2 über Statische CMOS-Schaltungstechnik).

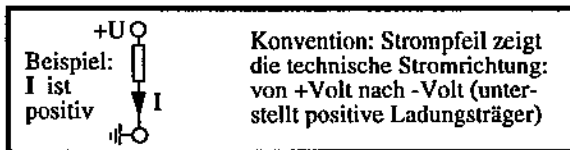


Bild 6.16: Konvention zur technischen Stromrichtung.

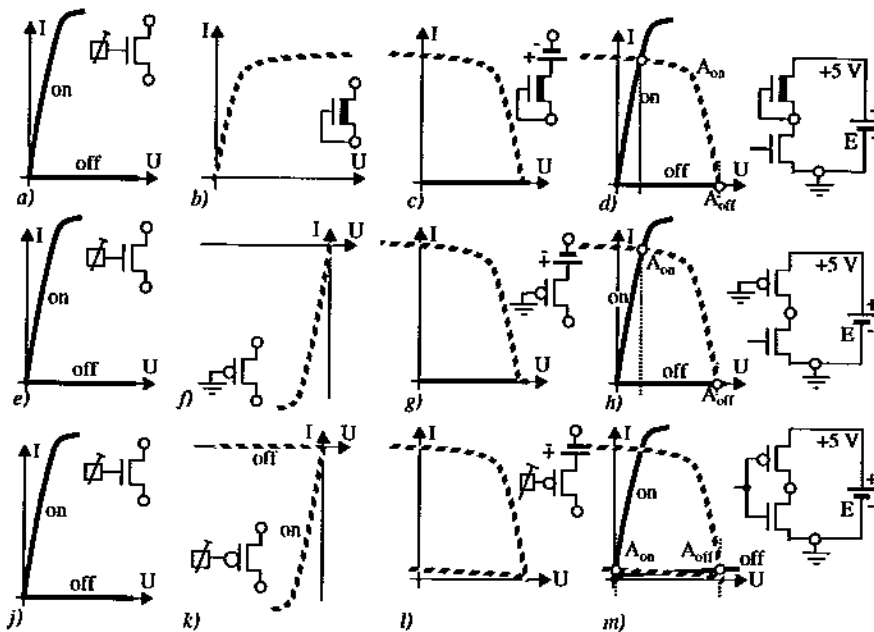


Bild 6.17: graphische Ermittlung der Arbeitspunkte  $A_{on}$  (pull-down leitend) und  $A_{off}$  bei Invertern: a - d) nMOS depletion load, e - h) Pseudo-nMOS, j - m) statisch CMOS.

## 6.2 Repetitorium der Schaltungstechnik

Das Ohm'sche Gesetz und damit zusammenhängende einschlägige Phänomene und Regeln werden vorausgesetzt. Zwecks späterer Anwendung auf Transistorschaltungen sei noch einmal das sonstige wichtigste Rüstzeug in Erinnerung gerufen. Bei der Eintragung von Strömen und Spannungen in Zweipolnetze (Schaltungen) seien die Konventionen nach Bild 6.15 und Bild 6.16 eingehalten. Bild 6.10 faßt noch einmal die Kirchhoff'schen Regeln zusammen. Nützlich sind auch die im folgenden Abschnitt zusammengefaßten graphischen Verfahren zum Umgang mit Zweipolkennlinien.

### 6.2.1 Graphische Verfahren zur Schaltungstechnik

Bild 6.13 zeigt einige Beispiele für Kennlinien bzw. Kennlinienscharen von Zweipolen. Bezüglich der Polarität eines Zweipoles gilt die Orientierung des am Kennlinienrand eingetragenen Zweipolsymbol gemäß Konvention nach Bild 6.15 und Bild 6.16. Scharen von Kennlinien kommen dann vor, wenn wir ein Bauelement, das eigentlich Vierpole sind, als Zweipole ansehen derart, daß ein gegebener Parameter von der Außenwelt her beeinflusst wird (wie in Bild 6.13 h: durch einen Drehschalter; Bild 6.13 j: durch einen Drehwiderstand).

Bild 6.11 faßt die wichtigsten Grundaufgaben im Umgang mit Zweipolen zusammen: die Ermittlung einer resultierenden Kennlinie, wenn mehrere Zweipole zu einem Netz zusammenge-

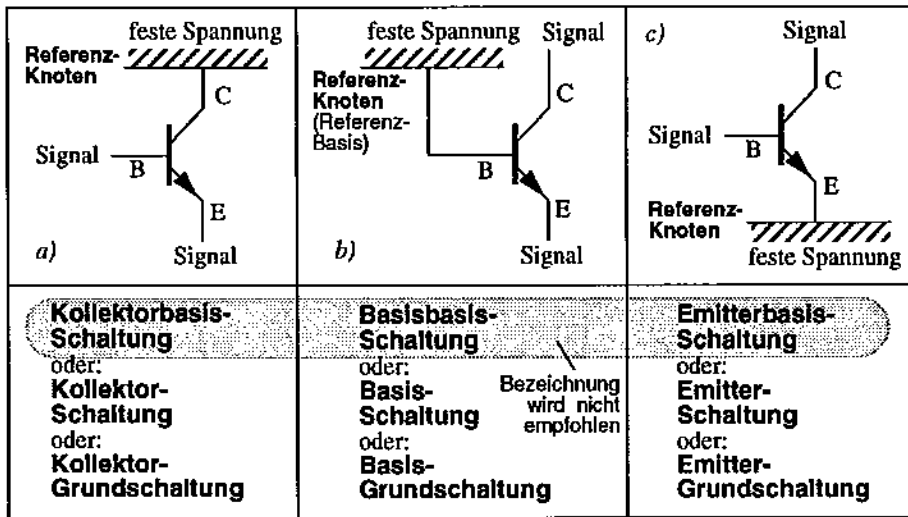


Bild 6.18: Betriebsarten des Bipolar-Transistors ("Meß- oder Theorie-Grundschtungen")

schaltet werden, sowie die Ermittlung des gemeinsamen Arbeitspunktes, wenn Zweipole zu einer Masche zusammengeschaltet werden. Bild 6.12 zeigt die Ermittlung der resultierenden Kennlinie durch zwei Beispiele. Bild 6.12 c ist die resultierende Kennlinie einer Serienschaltung aus Widerstand (Bild a) und Spannungsquelle (Bild b). Bild 6.12 f ist die resultierende Kennlinie einer Parallelschaltung aus Diode (Bild d) und Stromquelle (Bild e). Merke: bei Parallelschaltungen werden die Ströme addiert; bei Serienschaltungen hingegen werden die Spannungen addiert.

Bild 6.14 illustriert die Ermittlung des Arbeitspunktes eines nMOS-Inverters (Bild a). Zunächst wird die Schaltung unter Einbeziehung der Versorgungsspannung als Masche dargestellt (Bild 6.14 b). Es wird der Arbeitspunkt am Knoten 1 ermittelt (vgl. Bild 6.14 d). Zuerst wird die Kennlinie (Bild h) der Serienschaltung von Arbeitswiderstand R (Bild e) und der Versorgungsspannungsquelle E (Bild j) ermittelt. Der Arbeitspunkt ist nun aus den Kennlinien nach Bild c (2 Kennlinien "on" und "off") und Bild h zu ermitteln. Zur Erfüllung der Knotenregel an Knoten 1 muß eine der Kennlinien invertiert werden: wir spiegeln letztere Kennlinie in I-Richtung (*mirI*: "mirror I"); das Resultat ist Bild g). Schließlich werden die beiden Kennlinienfelder (Bild g und Bild c) überlagert. Als Schnittpunkte ergeben sich (in Bild 6.14 f) die beiden Arbeitspunkte  $A_{off}$  (für den gesperrten Transistor) und  $A_{on}$  (für den leitenden Transistor).

Bild 6.17 zeigt drei weitere Beispiele (MOS-Inverter) graphischer Arbeitspunktermittlung: eine nMOS-Inverterstufe mit *depletion load* als Lastwiderstand (Bild a - d), eine Pseudo-nMOS-Inverterstufe (pMOS-Transistor als Lastwiderstand: Bild e - h), sowie einen statischen CMOS-Inverter (Bild j - m). Ein Vergleich der Bilder d und h zeigt keine signifikanten Unterschiede zwischen den beiden Stufen. Bild m hingegen zeigt, daß beim statischen CMOS-Inver-

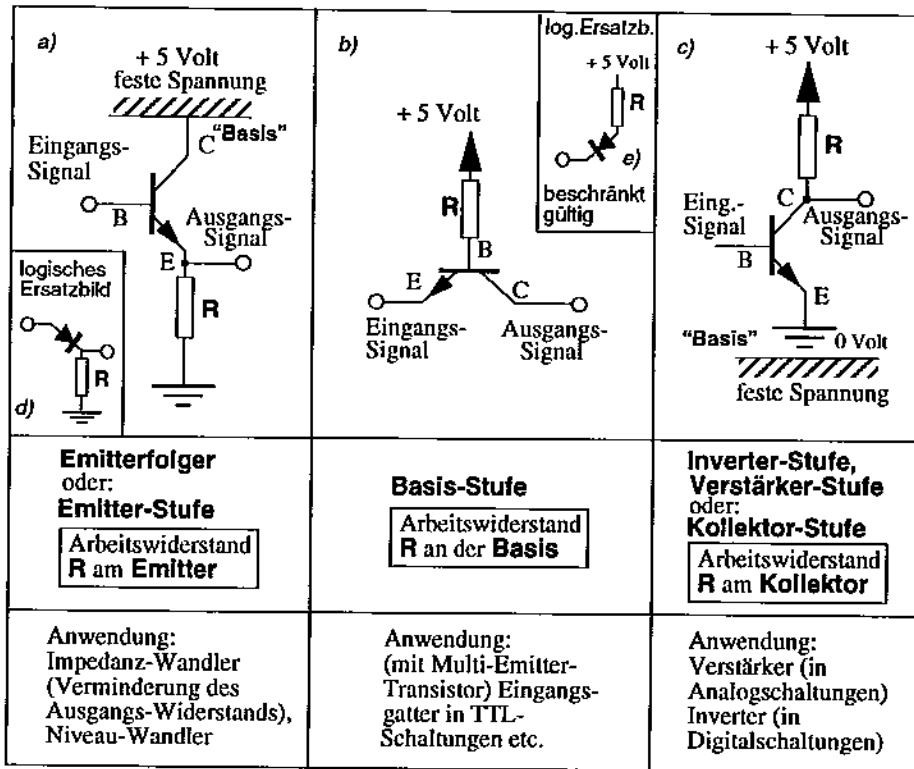


Bild 6.19: Die drei elementaren Anwendungs-Schaltungen des bipolaren Transistors.

ter der Spannungshub größer ist mit  $U_{on} = 0 \text{ V}$  (anstatt  $U_{on} \approx 1 \text{ V}$  wie oben), und die Stufe auch im on-Zustand stromlos ist. Die stromsparende Eigenschaft statischer CMOS-Schaltungen ist also aus Bild m deutlich zu sehen.

### 6.3 Grundsaltungen mit Transistoren

Eine saubere Terminologie erleichtert das Zurechtfinden und eine klare Gliederung der grundlegenden Schaltungen, was wiederum für ein schnelles Verständnis schaltungstechnischer Strukturen sehr vorteilhaft ist. Deshalb soll klar unterschieden werden zwischen den:

- elektrische Grundsaltungen mit einzelnen Transistoren (Bild 6.18 und Bild 6.19)
- digitale Grundsaltungen mit mehreren Transistoren (Bild 6.20 und Bild 6.21)

Die späteren Abschnitte führen diese verschiedenen Arten von Grundsaltungen mit Transistoren ein, auf denen dann die Behandlung von Schaltungstechniken für Digitalschaltungen aufgesetzt wird.

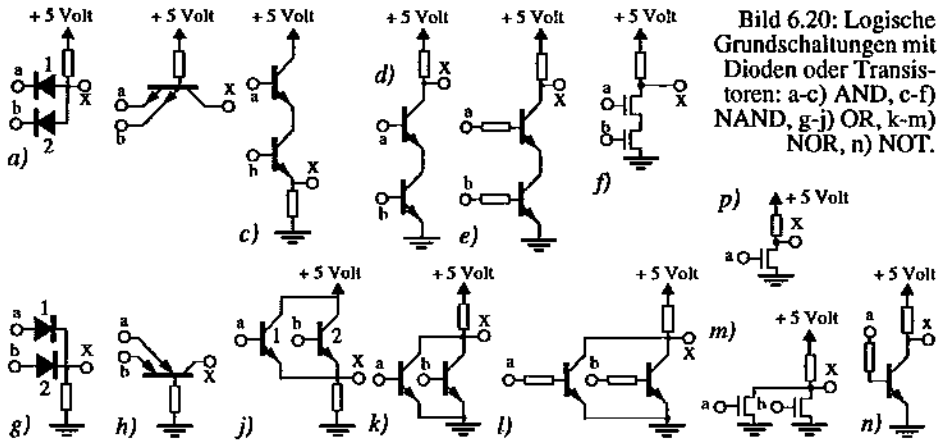


Bild 6.20: Logische Grundsaltungen mit Dioden oder Transistoren: a-c) AND, c-f) NAND, g-j) OR, k-m) NOR, n) NOT.

### 6.3.1 Die Grundsaltungen des bipolaren Transistors

Aus unserer Sicht befassen sich zwei verschiedene Szenen mit dem Transistor: die Elektrotechnik (Entwicklung, Charakterisierung, und Modellierung von Transistoren, primär im Bereich der Analog-Technik), der Kreis der Anwender (insbesondere in der Digitaltechnik). Erstere Szene sei als (*Device-*)*Theorie* bezeichnet, letztere hingegen als *Anwendung*. Die Terminologien dieser beiden Szenen sind teilweise zueinander inkompatibel, weshalb eine Klarstellung zweckmäßig erscheint. Wie die Prüfungspraxis zeigt, führt diese Terminologie immer wieder zur Verwirrung und damit zu falschen Antworten auf Prüfungsfragen. Deswegen sollen folgende Arten von Grundsaltungen möglichst deutlich unterschieden werden:

- Theorie-Grundsaltungen (i.e.z. Messung v. Eigenschaften einzelner Transistoren)
- Anwendungs-Grundsaltungen (der Transistoren zus. mit anderen Bauelementen)

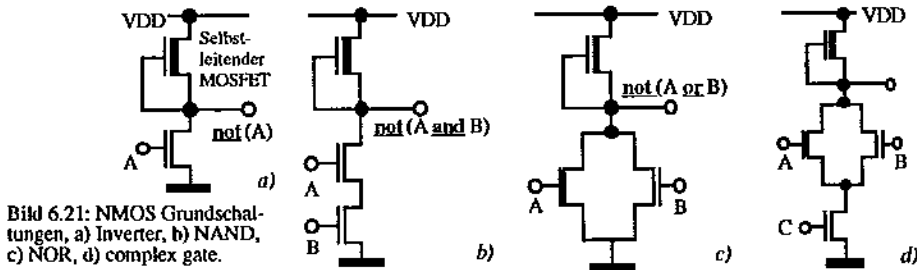
Die Bezeichnung durch die Theorie-Grundsaltung gibt die Betriebsweise des Transistors an (vgl. Bild 6.18). Die korrekte Sprachregelung lautet hier: "der Transistor wird in x-Grundsaltung betrieben", wobei x für *Kollektor*, *Basis*, oder *Emitter* steht.

#### 6.3.1.1 Der bipolare Transistor im Schalterbetrieb

Für in der Digitaltechnik erforderliche Schaltaufgaben ist der Bereich, in dem der Kollektorstrom proportional zum Basisstrom ansteigt, weniger interessant. Entscheidend zur Realisation der Zustände *High* und *Low* ist der Sättigungsbetrieb, in dem der Transistor praktisch keinen Widerstand in der Kollektor-Emitter Strecke darstellt, sowie der sperrende Zustand bei  $I_B=0$ .

Bild 6.20 zeigt die wichtigsten Anwendungs-Grundsaltungen des Transistors der Digitaltechnik. Beim bipolaren Inverter (Bild n) leitet der Transistor bei  $a = 1$  (*high*), so daß die gesamte Spannung am Lastwiderstand abfällt und der Ausgang somit auf *Low* geht. Ist  $a = 0$  (*low*), so sperrt der Transistor. Da nun kein Strom durch den Lastwiderstand fließt, fällt auch keine Spannung an ihm ab und der Ausgang liegt auf *High*-Potential. Am Ausgang erscheint also immer *not* ( $a$ ). Ein NAND-Gatter entsteht, wenn zwei Transistoren durchschalten müssen





(Bild e), um den Ausgang auf *Low* zu ziehen. Muß mindestens einer von zwei Transistoren öffnen, um ein *Low* am Ausgang zu erhalten, so liegt ein NOR-Gatter vor (Bild 6.20 k, l).

Direkt gekoppelte Transistorlogik (DCTL) liegt beim Bipolartransistor dann vor, wenn kein Basis-Vorwiderstand verwendet wird (Bild 6.20 d: NAND-Gatter, Bild 6.20 k: NOR-Gatter), wobei allerdings nur ein Spannungshub von deutlich weniger als 1 Volt realisiert wird, da die Basis-Emitter-Diode eines getriebenen Transistors auf die Treiberstufe wie eine Fangdiode (*clamp diode* an 0 Volt) wirkt (vgl. Bild 6.5 d).

### 6.3.1.2 Stromübernahme: Logik mit Dioden und Emitter-Kopplung

Eine wichtiges Grundelement der sehr schnellen ECL-Schaltungstechnik (ECL steht für: *emitter-coupled logic*) ist die Strom-Übernahme. Im Diodengatter (AND-Gatter) nach Bild 6.20 a fließt der über den Lastwiderstand kommende Strom über Diode 1 ab, wenn  $U_a$  deutlich kleiner als  $U_b$  ist, hingegen übernimmt Diode 2 dann allmählich den Strom, wenn  $U_b$  allmählich fällt bis zu Werten deutlich unterhalb von  $U_a$ . Diese Stromübernahme gilt auch für die beiden Transistoren in der Schaltung nach Bild 6.20 d, die somit ebenfalls ein AND-Gatter ist (ben. Diodenmodell nach 6.1.2 d). Analog hierzu, jedoch mit umgekehrter Polarität gilt diese Stromübernahme auch für die Schaltungen in Bild 6.20 g und l, die somit OR-Gatter sind.

### 6.3.1.3 Bus-Modellierung von Digitalschaltungen

Ein konzentriertes Gatter, wie beispielsweise in Bild 6.20 j oder Bild 6.23 a, kann auch in verteilter Form realisiert werden, wie Bild 6.23 b zeigt. Nunmehr liegt ein Datenbus vom Typ *wired NOR* vor: jeweils ein separat (beispielsweise in einem Gerät) untergebrachter pull-down-Transistor mit offenem Kollektor-Ausgang (*oco*: *OCO* oder *open collector output*) bildet eine Bus-Treiber-Stufe vom *oco*-Typ. Der eigentliche Bus besteht nur aus einem Draht und einem Lastwiderstand (Box U in Bild 6.23 b), der als pull-up-Widerstand dient. Wir nennen diesen Bustyp deshalb *upbus* (oder UPBUS, vgl. auch Abschnitt 8.4). Bild 6.23 d veranschaulicht den Bus-Typ *downbus*, (DOWNBUS) der mit Treibertransistoren vom Typ *oeo* (*OEO* oder *open emitter output*) zusammenarbeitet, und aus dem Gatter nach Bild 6.20 l hervorgeht.

Dieses Konzept der Bus-Modellierung ist nicht an Bipolar-Transistoren gebunden, sondern ist Technologie-unabhängig. Deshalb kann von einer abstrakteren Notation Gebrauch gemacht werden, die Anstelle eines Transistors einen abstrakten Schalter (switch) benutzt, sowie anstelle eines Ohm'schen Widerstandes einen abstrakten Abschwächer. Die so entstehende Abstraktion von Bild 6.23 b wird in Bild 6.23 c gezeigt.

| a | b | x | y |
|---|---|---|---|
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 0 |
| 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 0 |

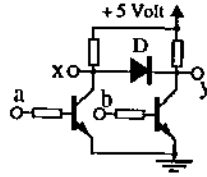


Bild 6.22: Beispiel einer gemischten logischen Schaltung.

### 6.3.1.4 Transistormatrizen

Bild 6.24 a zeigt eine (nicht voll besetzte) Transistormatrix, wobei die durch Knoten K entstehende Verbindung zwischen Zeilendraht und Spaltendraht nicht direkt zur Matrix zählen soll. Durch Hinzufügen von Lastwiderständen an alle Zeilendröhte (Bild 6.24 b) entstehen NOR-Gatter (g1, g2, den Spezialfall des Inverters g3 mit einschließend), wobei Spaltendröhte Eingänge sind und Zeilendröhte Ausgänge. Wie Bild 6.24 c zeigt, kann die Matrix auch spaltenweise partitioniert werden in die Gatter h1, h2, und h3. Es liegt eine andere Art von Gattern vor, welche gemäß Bild 6.24 d die Basis der später behandelten IIL-Technik ist (vgl. Kapitel 10). Die logische Verknüpfung erfolgt nicht am Gatterausgang (vgl. Bild 6.23), sondern am Eingang. Nähere Einzelheiten werden in Abschnitt 10.2 behandelt.

### 6.3.2 Digitale Grundschaltungen mit MOS-Transistoren

Die Praxis-Grundschaltungen der digitalen Logik werden in der sogenannten NMOS-Technik ähnlich entworfen, wie bereits bei den bipolaren Transistoren gezeigt. NMOS-Logik steht für negative MOS-Logik, d.h. die mit den Transistor-Schalernetzen gebildeten Gatter sind negierend, d. h. haben am Ausgang immer das zur Schalernetzfunktion negierte Signal als Aus-

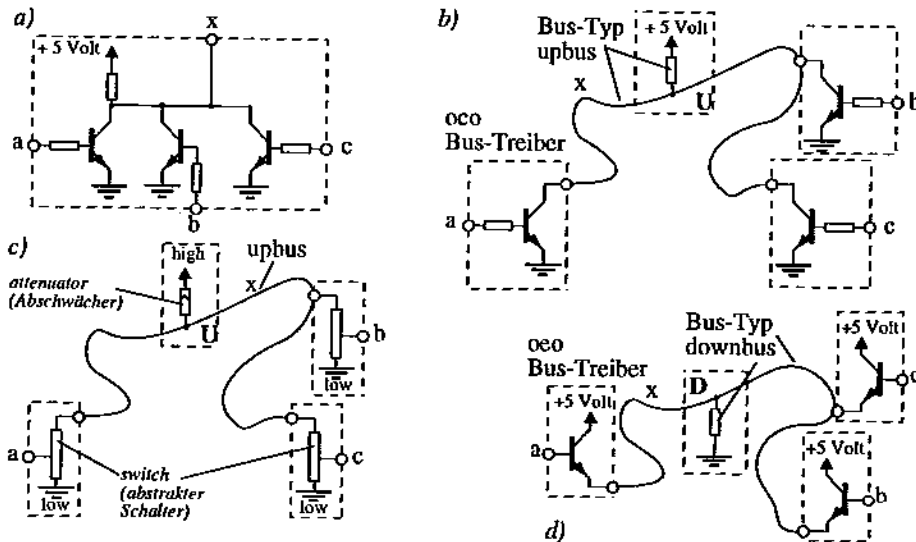


Bild 6.23: Gatterschaltung als Datenbus modelliert.

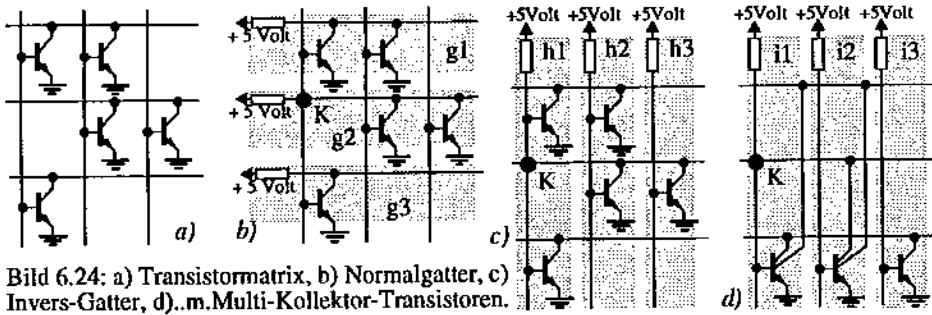


Bild 6.24: a) Transistormatrix, b) Normalgatter, c) Invers-Gatter, d) Multi-Kollektor-Transistoren.

gang, da ein durchgeschaltetes Schaltnetz den Ausgang auf *Low*-Potential zieht. Es sei zu beachten, daß die Terminologie unterscheidet zwischen *Schalternetz* (eigentlich Begriff der Switching-Ebene: ein Netz, bestehend aus Schaltern) und *Schaltnetz* (wie auch der Begriff *Schaltwerk* /vgl. auch Kapitel 19, ein Begriff der Gatternetz-Ebene: ein Schaltnetz ist ein nicht speicherndes logisches Netz bestehend aus Gattern).

Bild 6.20 p, f und m (auch Bild 6.21) zeigen die Grundsaltungen NOT, NAND und NOR. Die Vorgänge sind analog zu den bei den Bipolartransistoren erläuterten Schaltungen zu verstehen. Allerdings wird kein regulärer *Pullup*-Widerstand verwendet, der das Signal bei nicht durchgeschaltetem Schaltnetz auf *High* hält, sondern ein selbstleitender FET fungiert als Last-Widerstands-Ersatz (selbstleitender Last-Transistor: *depletion load*), indem sein Gate mit dem Source-Anschluß verbunden wird, so daß kein Feld entsteht, das positive Ladungsträger in das Implantat ziehen könnte. Der Widerstand hängt dann von der Fläche der implantierten, negativleitenden Schicht (Implantat-Fläche) ab und sollte ungefähr das Vierfache des höchstmöglichen Widerstandes des durchgeschalteten Schaltnetzes betragen (Inverter-Verhältnis, bzw. *pull-up/pull-down ratio*: Einzelheiten sind in Abschnitt 12.2.2 behandelt), um so eine ausreichende Differenz zwischen den *High*- und *Low*-Potentialen am Ausgang zu gewährleisten.

### 6.3.3 Gemischte Digitalschaltungen

Mitunter sind gemischte Digitalschaltungen erstrebenswert, wie beispielsweise um Layoutfläche einzusparen bei Schaltungen die hoch-iterativ eingesetzt werden. Bild 6.22 zeigt ein Beispiel einer solchen Misch-Schaltung, wobei Bipolartransistoren zusammen mit einer Diode eingesetzt werden. Die Tabelle in Bild 6.22 gibt die beiden logischen Funktionen x(a, b) und

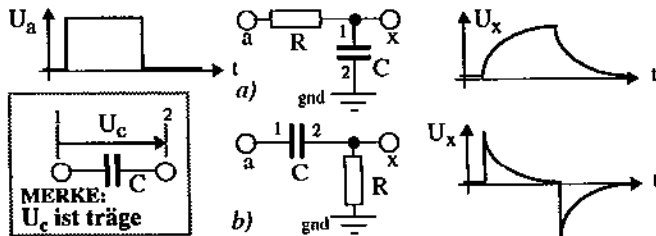


Bild 6.25: Trägheit des Kondensators C gegen Änderung der Spannung  $U_c$  an seinen Anschlüssen 1 und 2: a) beim Integrierglied, b) beim Differenzglied.

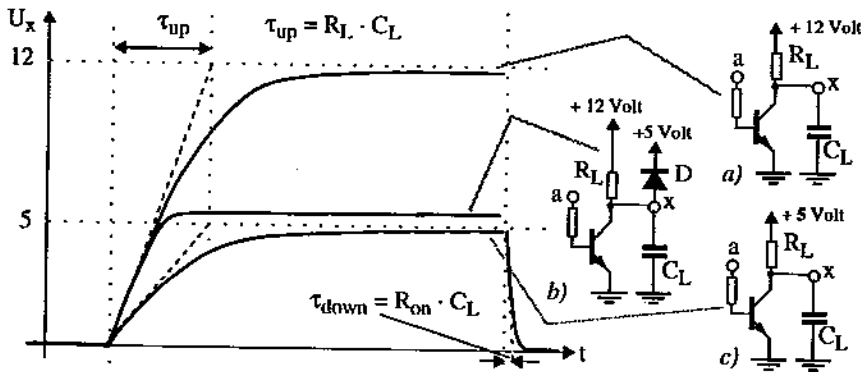


Bild 6.26: Anstiegsflanke des Inverters unter kapazitiver Last  $C_L$ : a) Normalfall, c) erhöhte Versorgungsspannung, b) Stufe nach (c), jedoch mit Fangdiode D.

$y(a, b)$  an:  $y = \text{not}(b)$ , sowie:  $x = \text{not}(a \wedge b)$ . Eine Methode zur Ermittlung dieser Wahrheitstabelle bestünde darin, zuerst von zwei getrennten Inverterstufen auszugehen, wobei sich 4 Kombinationen aus je 2 Arbeitspunkten ergeben. Sodann füge man die Diode ein und ermittle, bei welchen Arbeitspunkt-Kombinationen (bzw. bei welchen Eingabekombinationen (a, b)) diese leitend ist, sowie, wie die leitende Diode jeweils das Verhalten der Gesamtschaltung beeinflusst (man ermittle dazu den kritischen Strompfad und analysiere diesen).

### 6.4 Schaltverhalten unter kapazitiver Last

Dieser Abschnitt sei ebenfalls ein Repetitorium der Dynamik einfacher digitaler Transistor-schaltungen, wobei wir keine Präzision, sondern eine Nachvollziehbarkeit der Mechanismen erzielen wollen. Einer der wichtigsten Einflußfaktoren auf das Zeitverhalten von Inverters und Emitterfolgern ist eine kapazitive Last  $C_L$  am Ausgang  $x$  (vgl. Bild 6.26 und Bild 6.27). Die Ermittlung von Strom- und Spannungsrichtungen soll dabei noch einmal veranschaulicht werden mit dem Lernziel, das dynamische Verhalten solcher und anderer einfacher Transistor-schaltungen leicht nachvollziehen zu können. Meist ist dabei das Verhalten des Kondensators  $C$  der unmittelbare Schlüssel zum Verständnis des Verhaltens von Transistorstufen: nämlich die **Trägheit der Spannung  $U_C$**  zwischen den beiden Anschlüssen 1 und 2 dieses Zweipols (Bild 6.25).

Die Anwendung dieses Trägheitsmodells sei noch einmal am klassischen Beispiel RC-Glied veranschaulicht: am Integrierglied (Bild 6.25 a) und am Differenzierglied (Bild 6.25 b): die Antwort des Ausgangs  $x$  auf Spannungssprünge am Eingang  $a$  wird beobachtet. Beim Integrierglied überbrückt  $C$  mit seinen Anschlüssen 1 und 2 den Ausgang (Knoten  $x$  und  $gnd$ ), was zur Trägheit der Ausgangsspannung  $U_x$  an  $x$  führt (vgl. die langsamen Änderungen von  $U_x$  in Bild Bild 6.25 a). Beim Differenzierglied überbrückt  $C$  mit seinen Anschlüssen 1 und 2 die Querverbindung (vom Eingangs-Knoten  $a$  zum Ausgangsknoten  $x$ ), was zur Trägheit der Differenzspannung  $\Delta U = U_a - U_x$  führt: (vgl. die schnellen Änderungen von  $U_x$  in Bild Bild 6.25 b). Wegen dieser Trägheit von  $\Delta U$  wird der Spannungssprung sehr gut von  $a$  nach  $x$  übertragen.

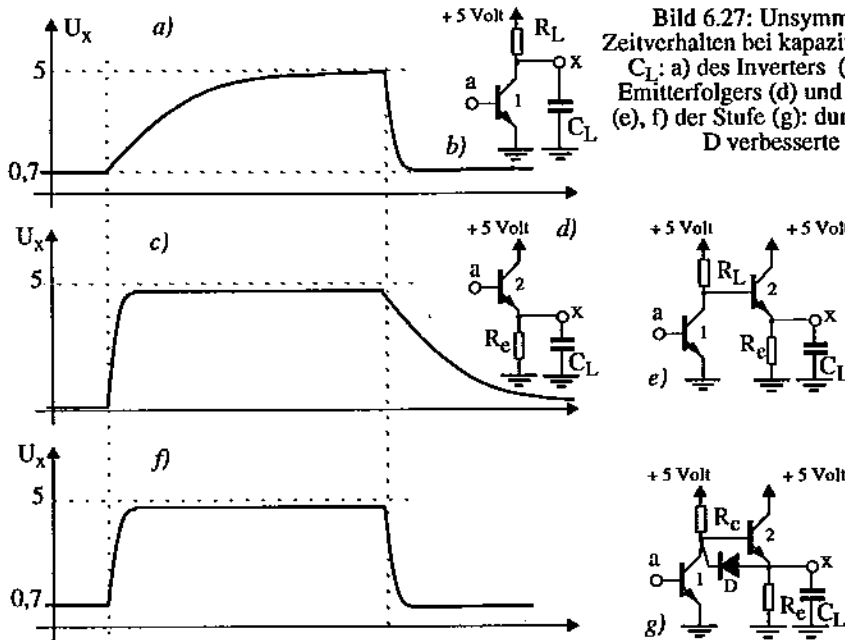


Bild 6.27: Unsymmetrisches Zeitverhalten bei kapazitiver Last  $C_L$ : a) des Inverters (b), c) des Emitterfolgers (d) und der Stufe (e), f) der Stufe (g): durch Diode D verbesserte Stufe (e).

#### 6.4.1 Inverter mit kapazitiver Last

Die Dynamik eines Inverters mit kapazitiver Last am Ausgang (vgl. Bild 6.26 c) ähnelt der eines Integriergliedes, jedoch mit dem Unterschied, daß die Zeitkonstante  $\tau_{up}$  der Anstiegsflanke wesentlich größer ist als die Zeitkonstante  $\tau_{down}$  der abfallenden Flanke. Wir verwenden für den Transistor der Einfachheit halber das Schaltermodell (Bild 6.9 a). Für den Lastwiderstand  $R$  gelte  $R_L \gg R_{on}$ , wobei  $R_{on}$  der Widerstand des leitenden Transistors sei. Wegen  $\tau_{up} = R_L \cdot C$  und  $\tau_{down} = R_{on} \cdot C$  ist dann  $\tau_{up} \gg \tau_{down}$ . Wir können  $\tau_{up}$  etwas verringern und dadurch die Anstiegsflanke beschleunigen, indem wir eine höhere Versorgungsspannung verwenden (12 Volt statt 5 Volt, vgl. Bild 6.26 a). Falls die hohe Spannung im Ruhezustand stören sollte, kann diese durch eine Fangdiode  $D$  von 12 Volt auf ca. 5,7 Volt vermindert werden (Bild 6.26 b). Die 5,7 Volt ergeben sich aus der zweiten Versorgungsspannung (5 Volt) und der Kniespannung (ca. 0,7 Volt) der Diode  $D$  (vgl. Kennlinie in Bild 6.13 m). Der Schlüssel des Verständnisses der Wirkung der Fangdiode ist die Frage: wann wird diese Diode leitend? Dies ist der Fall bei  $U_x > 5$  Volt. Hier sei an den Mechanismus von AND-Schaltungen mit Dioden erinnert (Bild 6.20 a).

#### 6.4.2 Dynamik des Emitterfolgers

Hier sei die Impulsantwort (Bild 6.27 a) des Inverters (Bild 6.27 b) der Impulsantwort (Bild 6.27 c) des Emitterfolgers (Bild 6.27 d) gegenübergestellt. Beim Emitterfolger ist also  $\tau_{up} \ll \tau_{down}$  (im Gegensatz zum Inverter mit  $\tau_{up} \gg \tau_{down}$ ). Der Schlüssel zum Verständnis

ist auch beim Emitterfolger die Frage: wann ist die Diode leitend? Gemeint ist die Emitterdiode gemäß dem Doppeldiodenmodell des Transistors (Abschnitt 6.3.1 und Bild 6.9 b). Bei rasch fallender Spannung  $U_a$  (Bild 6.27 d) führt die durch  $C_L$  bedingte Trägheit der Spannung  $U_x$  zur Sperrung der Emitterdiode und damit des Transistors, womit  $\tau_{down} = R_e \cdot C_L$ . Bei rasch steigender Spannung  $U_a$  (Bild 6.27 d) führt die durch  $C_L$  bedingte Trägheit der Spannung  $U_x$  zur Durchlässigkeit der Emitterdiode und damit des Transistors, womit  $\tau_{up} = R_{on} \cdot C_L$ , wobei  $R_e$  vernachlässigt sei wegen  $R_{on} \ll R_e$  ( $R_{on}$  sei der Durchlaßwiderstand des Transistors gemäß Modell in Bild 6.9 c).

Ziel eines Schaltungsentwurfes ist eine Symmetrie der Dynamik: beide Flanken sollten schnell sein, beide Zeitkonstanten,  $\tau_{down}$  und  $\tau_{up}$ , sollten so kurz wie möglich sein. Wäre es nicht möglich, das schnelle  $\tau_{up}$  des Emitterfolgers mit dem schnellen  $\tau_{down}$  des Inverters zu vereinigen durch eine Kombinationsschaltung wie in Bild 6.27 e)? Zwar wird das  $\tau_{up}$  des Inverters schneller wegen der entkoppelnden Eigenschaft des Emitterfolgers ( $C_L$  belastet den Inverterausgang nicht mehr). Jedoch wurde das Problem des langsamen  $\tau_{down}$  des Emitterfolgers nicht gelöst. Abhilfe bringt der Einbau der Diode D, was die Schaltung nach Bild 6.27 g ergibt. Der Schlüssel zum Verständnis ist auch wieder die Frage: wann ist die Diode (D) leitend? Durch die Trägheit von  $C_L$  ist dies bei der Abwärtsflanke der Fall bis hinunter zu  $U_x \approx 0,7$  Volt, wo die Diode wieder undurchlässig wird (vgl. Impulsantwort in Bild 6.27 f). Nur von  $U_x \approx 0,7$  Volt an abwärts gilt wieder die langsame Zeitkonstante  $\tau_{down} = R_e \cdot C_L$  des Emitterfolgers.

## 6.5 Zusammenfassung des Kapitels

Anhand einfacher Beispiele wurde ein einfaches Rüstzeug eingeführt zum schaltungstechnischen Verständnis der Realisierung von Digitalschaltungen mit Dioden und Transistoren, sowie auch Misch-Schaltungen aus Dioden und Transistoren. Darüber hinaus wurde eine einfache Modellierung von Schaltungen mit kapazitiver Last eingeführt und an einfachen Beispielen erläutert. Das primäre Ziel des Kapitels ist die Erlangung eines Verständnisses der schaltungstechnischen Grundmechanismen, ohne daß hierbei Wert auf präzisere Berechnung von Strom- und Spannungs-Werten gelegt wurde.

## 6.6 Literatur

- [1] P. Gee, M. Y. Wu, S. M. Kang, I. N. Hajj: A Metal-metal matrix cell generator for multi-level metal MOS technology; *Integration* 9 (1990) S. 25 - 47
- [2] R. Geiger, P. Allen, N. Strader: *VLSI design techniques for analog and digital circuits*; McGraw-Hill, New York et al., 1990
- [3] T. R. Reid: *The Chip*; Simon & Schuster, New York, 1985
- [4] J. D. Ryder, D. G. Fink: *Engineers and Electrons*; IEEE Press, New York, 1984
- [5] U. Tietze, Ch. Schenck: *Halbleiter-Schaltungstechnik*, Springer-Verlag, 1989
- [6] M. F. Wolff: The genesis of the integrated circuit; *IEEE Spectrum*, August 1976