
Wozu noch Mikro-Chips?

Einführung in Methoden der Technischen Informatik

**zur Anwendung der Mikroelektronik für die
Wettbewerbsfähigkeit unserer Wirtschaft**

Sachbuch und Textbuch

mit zahlreichen Beispielen, 544 Seiten u. 586 Abbildungen
mit Übungs-Aufgaben und über 500 Literaturhinweisen

von Univ.-Prof. Dr.-Ing. Reiner W. Hartenstein,
Fachbereich Informatik, Universität Kaiserslautern



IT Press Verlag
Bruchsal • Chicago

IT Press Informat(ionstechn)ik
Serie Technische Informatik - Buch Nr. 100
IT Press Verlag Hartenstein
Bruchsal / Chicago

Original-Ausgabe, 1. Auflage, Januar 1994

Copyright © 1994 by Reiner Hartenstein, D-76646 Bruchsal, Germany
Gesamtherstellung: Präzis-Druck GmbH, D-76199 Karlsruhe, Germany
Editiert mit FrameMaker® 3.0 auf Apple® Macintosh® SE/30 und PowerBook® 145
Vorlage auf Papier erstellt mit 300 dpi-Laser-Drucker Apple® LaserWriter IIg
Umschlaggestaltung: IT Press Verlag, Bruchsal / Chicago

Die Deutsche Bibliothek -
CIP Einheitsaufnahme:

Hartenstein, Reiner:

Wozu noch Mikro-Chips? Einführung in Methoden der Technischen Informatik
zur Anwendung der Mikroelektronik für die Wettbewerbsfähigkeit unserer Wirtschaft
544 Seiten, 586 Abbildungen, Aufgaben, über 500 Literaturhinweise

Reiner Hartenstein, - Orig.-Ausg. -
Bruchsal; Chicago: IT Press Verlag, 1994

(IT-Press Buch Nr. 100:
Reihe Technische Informatik)
ISBN 3-929814-00-5

NE: Hartenstein, Reiner

Meiner Frau Angelika gewidmet,
dankend für ihre Anregungen und
ihre geduldig ertragene Rolle als "Buch-Witwe",
und meinem Sohn Klaus
für seine Ermunterung zu diesem Projekt

IT Press Informationstechnik
Serie Technische Informatik

<i>Autoren</i>	<i>Titel / Untertitel</i>	<i>ISBN / EAN</i>
Reiner Hartenstein	Wozu noch Mikro-Chips? Einführung in Methoden der Technischen Informatik zur Anwendung der Mikroelektronik für die Wettbewerbsfähigkeit unserer Wirtschaft	3-929814-00-5 9783929814002
Reiner Hartenstein	Einführung in den VLSI-Entwurf, Band 1	3-929814-01-3 9783929814019
Reiner Hartenstein, Vasily Moshnyaga	Xputers The Data-procedural Machine Paradigm and its Impact	3-929814-02-1 9783929814026
Reiner Hartenstein	Introduction to KARL a Hardware Description Language	3-929814-03-X 9783929814033
D. Auvergne, R. Hartenstein	Power and Timing Modeling for Performance of Integrated Circuits	3-929814-04-8 9783929814040

Gewährleistung. Der Autor bzw. die Autoren dieses Buches haben keinen umfassenden Zugang zu Daten oder Informationen darüber, durch wen und für welche Zwecke die in diesem Buch dargestellte Information verwendet werden könnten. Deshalb wird von den Autoren keinerlei Verantwortung übernommen: weder für irgendeine Anwendung hier beschriebener Verfahren, Regeln, Formeln oder Strukturen oder irgendeine(n) daraus direkt oder indirekt abgeleitete(n) Design oder Methode, noch für irgendwelche Verletzungen von Patenten oder anderen Schutz- und/oder Urheberrechten, die sich eventuell aus dem Gebrauch des hier vorliegenden Buches direkt oder indirekt ergeben könnten. Es geht voll auf das eigene Risiko des Benutzers dieses Buches, wenn hier dargestellte Konzepte oder Verfahren Rechte dritter berühren sollten und/oder sich für Zwecke des Benutzers und darüber hinaus als nicht geeignet oder gar gefährlich erweisen sollten.

Urheberrecht. Dieser Text ist urheberrechtlich geschützt. Jede Verwertung außerhalb des Urheberrechtsgesetzes ist ohne Zustimmung des Autors unzulässig. Dies gilt insbesondere für Vervielfältigung, Übersetzung, Mikroverfilmung und Speicherung und Verarbeitung in elektronischen DV-Systemen, Multimedia-Systemen und sonstigen elektronischen Medien sowie Übertragung durch Daten- und Multimedia- und sonstige Netzwerke aller Art.

Vorwort. Dieses Vorwort hier behandelt speziell die Voraussetzungen an für die Verwendung des hier vorliegenden Buches für die Lehre im Grundstudium an Hochschulen, und zeigt dessen Entstehungsgeschichte und Hintergründe. Darüber hinaus will dieses Buch nicht nur eine Einführung der Mikroelektronik-Anwendung für Studenten der Ingenieurwissenschaften sein (zu denen auch die Informatik zählt), sondern wendet sich auch allgemein an andere *technisch und wirtschaftspolitisch interessierte Leser* (siehe unter "Sachbuch und Textbuch zugleich" mit dem Untertitel "An wen richtet sich dieses Buch?" ab Seite vii).

In Deutschland wurde der Begriff *Technische Informatik* ursprünglich durch Lehrpläne der Informatik geprägt, ca. ab dem Jahre 1969. Gemäß heute noch oft geübter Lehrpraxis zerfällt die Technische Informatik in zwei Teile. Die *Technische Informatik I* (TI-1) befaßt sich mit den *Grundlagen der Technischen Informatik* (in Kaiserslautern beispielsweise im 2. Semester - elektrotechnische Grundlagen der Informatik: eine pragmatische Einführung der Bauelemente und deren Grundschaltungen (Transistoren, Widerstände, etc., speziell vereinfacht für Nicht-Elektrotechniker), sowie die Realisierung von Gattern, Flipflops und anderen logischen Schaltungen aus solchen Elementen. Mitunter wird *Digitale Logik* (Schaltnetze und Schaltwerke und deren Entwurfsverfahren) auch im Rahmen der TI-1 gelehrt. Beispielsweise in Kaiserslautern hingegen wird Digitale Logik durch eine separate Vorlesung (im 1. Semester) eingeführt. Notwendige Voraussetzung für die Benutzung des hier vorliegenden Buches sind Kenntnisse in *Digitale Logik*. Recht nützlich sind Vorkenntnisse in *Rechnerorganisation* (in Kaiserslautern beispielsweise für das 2. Semester als Vorlesung angeboten).

Das hier vorliegende Buch entstand aus dem Skriptum der Vorlesung *Technische Informatik II* (TI-2: im 3. Semester angeboten) im Rahmen des Grundstudiums der Informatik an der Universität Kaiserslautern. Gegenstand sind hauptsächlich *Methoden und Werkzeuge der Technischen Informatik*, insbesondere zur Mikroelektronik-Anwendung. Es handelt sich hierbei nicht um eine Spezialvorlesung, sondern um eine möglichst zeitgemäße Einführung in die Technische Informatik (digitale Hardware-Systeme, deren Elemente, Prinzipien und Entwurfsverfahren). Unter "zeitgemäß" wird hier der Versuch verstanden, hierbei der enormen wirtschaftlichen Bedeutung der Mikroelektronik gerecht zu werden, weshalb ich von einer Einführung in die Mikroelektronik-Anwendung sprechen könnte. Infolge des durch die Vorlesung leider vielerorts vorgegebenen engen Zeitrahmens (2+1 SWS) erscheint das Wort "Versuch" als gerecht-

fertigt. Das sehr weit reichende Gebiet der Mikroelektronik und deren Anwendung für komplexe digitale Systeme kann auch nicht annähernd flächendeckend dargestellt werden. Die herausgegriffenen Teildisziplinen oder Entwurfsbeispiele haben eher den Charakter von *highlights* oder Farbtupfern. Allerdings dient hierbei das Koordinatengitter der Abstraktionsebenen als eine Navigationshilfe im Ozean der Mikroelektronik-Anwendung derart, daß nicht nur die richtige Einordnung dieser Farbtupfer für den Leser nachvollziehbar wird, sondern sogar der Horizont für eine Gesamtsicht der Technischen Informatik erheblich erweitert wird.

Die Motivation für den Sachbuch-Teil dieses Texts ergab sich aus der turnusmäßigen Vorlesungs-Bewertung durch die Fachschaft für Informatik in Kaiserslautern. Dort wurde mir bescheinigt, daß ich der einzige Dozent sei, der auch zum Thema "Informatik und Gesellschaft" etwas zu sagen habe. Dies hat mich dazu ermuntert, meine in der Vorlesung gelegentlich eingeflochtenen Bemerkungen gewissermaßen zusammenzufassen und hier zu Papier zu bringen.

Danksagungen. Für Diskussionsbeiträge und Durchsicht einzelner Kapitel verschiedener Auflagen danke ich Andreas Ast, Jürgen Böcker, Joachim Blödel, Alexander Hirschbiel, Rainer Kress, Helmut Reinig, Michael Riedmüller, Karin Schmidt, Markus Weber und Michael Weber. Die erheblich erweiterte 3. Auflage des Skriptums wurde während der Vorlesung Technische Informatik II in den Wintersemestern 1990/91, 1991/92 und 1992/93 gründlich überarbeitet. An dieser Überarbeitung waren im Zuge der Vorlesungsbetreuung und der Organisation von Übungen Joachim Blödel und Helmut Reinig maßgeblich beteiligt. Außerdem danke ich den (damals) Studenten Rolf Müller und Herbert Nicklaus für Ihre Mitarbeit bei der Erstellung der Vorab-Version des Skriptums vom Juni 1988. An der Erstellung der zweiten Auflage des Skriptums war (ebenfalls als Student) maßgeblich Hans-Jürgen Riehstein beteiligt. Nicht zu vergessen sind die zahlreichen von meiner Hörerschaft eingegangenen Hinweise auf Fehler und andere Verbesserungsmöglichkeiten.

Ein Teil dieses Buches macht Einblicke in einige Ergebnisse des E.I.S.-Projekts¹, und (im Rahmen des ESPRIT-Programms²) des CVT-Projekts, und des CVS-Projekts, sowie auch des DASSY-Verbundprojekts³, und (im Rahmen des ESPRIT Basic-Research-Programmes) des PATMOS-Projekts⁴ einem breiteren Leserkreis zugänglich. Danksagungen gelten in diesem Zusammenhang Dr. Klaus Woelcken⁵, Elfriede Abel, Gustl Kaesser, Dr. Theo Vierhaus und anderen von der GMD⁶, sowie Dr. Leproni, Guglielmo Girardi, Amelio Patrucco, Marco Paoletti und vielen anderen von CSELT⁷.

Kaiserslautern, im Dezember 1993

Reiner Hartenstein

1) gefördert bis 1988 durch das Bundesministerium für Forschung und Technologie

2) beide Projekte wurden zu 50% gefördert durch die Kommission der Europäischen Gemeinschaften

3) wurde gefördert durch das Bundesministerium für Forschung und Technologie

4) wurde gefördert durch die Kommission der Europäischen Gemeinschaften

5) heute bei der Kommission der Europäischen Gemeinschaften

6) Gesellschaft für Mathematik und Datenverarbeitung, Schloß Birlinghoven, St. Augustin bei Bonn

7) Centro Studi e Laboratori Telecomunicazioni, Turin, Italien (Forschungszentrum der STET-Gruppe)

Sachbuch und Textbuch zugleich

An wen richtet sich dieses Buch?

Ein Sachbuch. Ich nenne dieses Buch ein populär-wissenschaftliches Sachbuch mit fachlichem Anhang. Insbesondere die ersten 5 Kapitel (fast ein Viertel dieses Buches) über die Wettbewerbsfähigkeit der deutschen Wirtschaft und damit verwandte Themen richten sich an eine breite politisch interessierte Öffentlichkeit. Hunderte von Querverweisen ersparen es dem eiligen Leser, sich flächendeckend durch den gesamten Text hindurchkämpfen zu müssen.

Ein Lehrbuch. Darüber hinaus eignet sich dieses Buch als Textbuch für das Grundstudium an Fachhochschulen und Universitäten in ingenieurwissenschaftlichen Fächern, wie Elektrotechnik, Informatik und anderen Disziplinen, in denen die Anwendung der Mikroelektronik immer wichtiger wird. Bild 0.1 zeigt mögliche Beispiele der Anwendung der einzelnen Kapitel des Buches für Lehrveranstaltungen von zwei mal 2 Semester-Wochenstunden. Für E-Techniker kann z. B. Kapitel 18 auf den vorderen Teil beschränkt und Kapitel 15 evtl. fast ganz und Kapitel 19 völlig weglassen werden (Behandlung durch andere Vorlesungen). Für Informatiker könnte Kapitel 10 ganz entfallen, Abschnitte über Bipolartransistoren in Kapitel 6 übergangen werden und Kapitel 12 und 13 stark gestrafft werden. Das Buch trägt vor allem der besonderen Beziehung zwischen Elektrotechnik und Informatik Rechnung: beide Disziplinen wenden sich wechselseitig an. Die fachlichen Zuständigkeitsbereiche zwischen Elektrotechnik und Informatik werden berücksichtigt (vereinfacht dargestellt in Bild 5.5). Das Buch gibt auch einen gewissen Grad Einsicht in Methoden des "Technologie-Transfer" in Anwendungsgebiete hinein.

Weitere Disziplinen der Mikroelektronik-Anwendung. Weiter eignet sich dieses Buch als Textbuch für andere Disziplinen, in denen die Anwendung der Mikroelektronik immer wichtiger wird. Zu diesen zählen beispielsweise Ingenieur-Informatik, Biologie, Chemie-Ingenieurwesen, Physik, Maschinenbau, Wirtschafts-Ingenieurwesen und andere. Die andersartige Vorbildung der Hörer kann notfalls durch Weglassen formalerer Teile einzelner Kapitel (z. B. Teile des mathematischen Formel-Apparates) berücksichtigt werden. Dies ist dann sinnvoll, wenn dem Hörer in erster Linie ein Horizont der Mikroelektronik-Anwendung vermittelt werden soll, jedoch nicht unbedingt Entwurfs-Qualifikationen. Die enorme Dichte von Querverweisen unterstützt die selektive Anwendung dieses Buches

Voraussetzungen für anspruchsvolle Leser. Für die Einführung in Entwurfsverfahren der Mikroelektronik sind werden Grundkenntnisse in Digitaltechnik, im Logik-Entwurf und in Grundsaltungen der Transistor-Elektronik (elektrotechnische Grundlagen der Informatik) erforderlich. Die inzwischen übliche Trennung von Design und Technologie erspart dem Leser die Notwendigkeit technologischen Wissens. Aus dieser Sicht spricht das Buch den Organisationsfachmann an. Er hat Tausende bis Millionen von Transistoren so zu organisieren, daß eine gewünschte Gesamtfunktion realisiert wird. Außerdem wird nur Digital-Hardware behandelt.

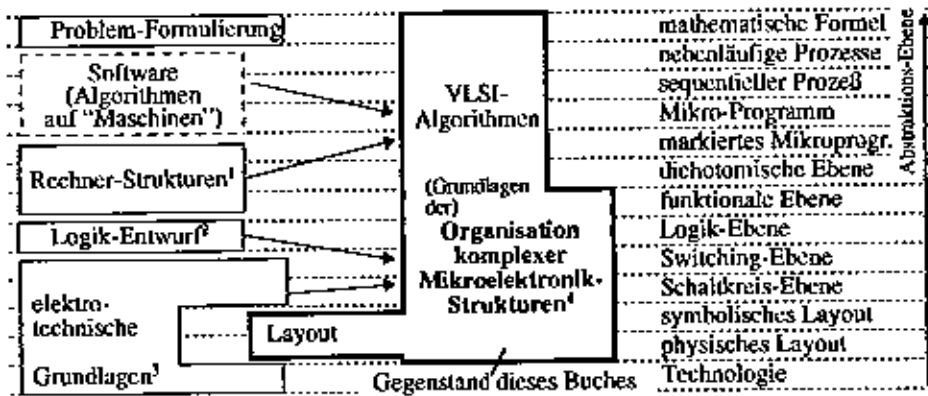
Kapitel	Titel	als Sachbuch	als Hochschultext				
			Elektrotechnik		Informatik		andere Fächer ¹ (2 SWS)
			Grundstudium (2 SWS)	Hauptstudium (2 SWS)	Grundstudium (2 SWS)	Hauptstudium (2 SWS)	
1	Unsere Wettbewerbsfähigkeit	x		x	x		x
2	Die neue Lehre	x		x	x		x
3	Infrastrukturen...	x		x	x		x
4	VLSI-Algorithmen als vierter Weg	x		x	x		x
5	Was ist Technische Informatik?	x		x	x		x
6	Transistor-Schaltungstechnik	(x)	x		x	x	x
7	Logische Netze		x		x		x
8	Modelle der Switching-Ebene		x		x		x
9	MOS-Technologie	(x)	x		x		x
10	Integrierte Bipolar-Schaltungen		x			x	
11	MOS-Digitalerschaltungen		x		x		x
12	Layout-Entwurf		x		x		
13	Das Zeitverhalten	(x)	x	x		x	
14	Entwurfs-Werkzeuge	(x)		x	x		(x)
15	NMOS-Gatter-Synthese			x	x		
16	CMOS-Schaltungstechnik			x	x		
17	Schaltungen mit Multiplexern			x	(x)	x	(x)
18	CMOS-Layout-Optimierung			x	(x)	x	
19	Strukturierter Entwurf	(x)		x	x		x
20	Strukturierte Entwürfe			x		x	
21	Systolische Arrays	(x)		x	x		x
22	Synthese Systolischer Arrays			x		x	(x)
23	High-Level-Synthese			x		x	
24	Petri-Netze			x		x	

1) Ingenieur-Informatik, Biologie, Chemie-Ingenieurwesen, Physik, Maschinenbau, Wirtschafts-Ingenieurwesen

Bild 0.1: Einige Beispiele über den Gebrauch dieses Buches als Sachbuch oder als Hochschultext für Elektrotechnik, Informatik u. a.; *Legende*: x das ganze Kapitel, (x) Teile des Kapitels.

weshalb Kenntnisse der Analogtechnik nicht erforderlich sind. Allgemeine Vertrautheit mit Computern hingegen ist nützlich, denn moderne Chips können ohne sehr leistungsfähige Computer und enorme Mengen komplexer Software nicht entwickelt werden.

Navigation durch die Abstraktionsebenen. In der Technischen Informatik wird üblicherweise eine größere Zahl methodologischer Ebenen unterschieden (vgl. Bild 0.2). Die Wichtigkeit



1) - 4) beispielsweise im Fachbereich Informatik in Kaiserslautern: 1) "Rechnerorganisation" (2. Semester im Grundstudium), 2) "Digitale Logik" (1. Semester im Grundstudium), 3) "Technische Informatik I" (2. Semester im Grundstudium), 4) "Technische Informatik II" (3. Semester im Grundstudium).

Bild 0.2: kurrikuläre Einbettung dieses Buches zur Einführung der Technischen Informatik.

der Ordnung dieser Ebenen kann mit dem periodischen System in der Chemie verglichen werden. Die Ordnung dieser Abstraktionsebenen wird in Kapitel 5 eingeführt. Vorrangig ist es dabei die Vermittlung von "Jo-jo-Fähigkeiten": Beschreibungen aufwärts und abwärts zu transformieren - von einer methodologischen Ebene in andere Ebenen abzubilden abwärts für die Synthese - aufwärts für Extraktion und Verifikation. Ziel ist eine Hilfe zur Orientierung in der Vielfalt der Notationen. Aus dieser Blickrichtung soll auch die Rolle von Algorithmen für Verfahren des Entwurfsprozesses (EDA-Algorithmen) beleuchtet werden.

Die kurrikuläre Einbettung dieses Textes. Es gibt verschiedene sinnvolle Ansätze der Einbettung des hier vorliegenden Themas in einen Studienplan der Informatik, Elektrotechnik oder einer anderen anwendenden Disziplin. Ein Beispiel ist die folgende Verflechtung unseres Stoffes mit dem Lehrgehäuse der Technischen Informatik (zum Teil auch mit der gesamten Informatik) im Rahmen des Informatik-Studiums. Im Rahmen des Bereich "Technische Informatik" (TI) im Grundstudium der Informatik werden beispielsweise an der Universität Kaiserslautern derzeit folgende 4 Vorlesungen angeboten:

- Digital Logik,
- Technische Informatik II (TI-2),
- Elektrotechnische Grundlagen (TI-1)
- Rechnerorganisation.

Hierzu sind die Themen der Mikroelektronik im Grundstudium in der Tabelle in Bild 5.6 etwas detaillierter dargestellt. Der Stoff dieser Fächer hat jeweils einen deutlichen Schwerpunkt in einer der unten in Bild 0.2 gezeigten methodologischen Ebenen. Die Vorlesung "Technische Informatik-II" und somit der hier vorliegende Text ist jedoch hiervon abweichend konzipiert insofern, als diese für den Top-down-Entwurf von VLSI-Systemen einen Brückenschlag zwischen diesen Ebenen beabsichtigt, fast unter der Devise "von der System-Spezifikation bis zum Silizium" (daher auch der Untertitel "insbesondere für Mikroelektronik-Systeme"). Dadurch soll auch die Werkzeug-Integration in modernen Entwurfs-Umgebungen berücksichtigt werden, welche über ein sogenanntes CAD-Framework (eine Art Entwurfs-Management-System) die Methoden verschiedener Abstraktionsebenen miteinander verbinden.

Übungsaufgaben. Lösungen zu den Übungsaufgaben (Kapitel 25) können in beschränktem Umfang (z. B. durch Dozenten) beim Verlag angefordert werden (Formular auf Seite 543).

Kapitel Nr.	Titel	Abstraktions-Ebene												
		nicht-prozedural					prozedural							
		Technologie	geometrische Ebene	topologische Ebene	Schaltkreis-Ebene	Switching-Ebene	Logik-Ebene	funktionale Ebene	dichotomische Ebene	markierte Mikroprogramme	Mikroprogramme	sequentielle Programme	nebenläufige Programme	mathematische Formel u. äquiv.
1	Unsere Wettbewerbsfähigkeit													
2	Die neue Lehre													
3	Infrastrukturen...													
4	VLSI-Algorithmen als vierter Weg			x	x	x	x	x						
5	Was ist Technische Informatik?	x	x	x	x	x	x	x	x	x	x	x	x	x
6	Transistor-Schaltungstechnik				x	x	x							
7	Logische Netze				x	x	x							
8	Modelle der Switching-Ebene				x	x	x							
9	MOS-Technologie	x	x	x	x	x								
10	Integrierte Bipolar-Schaltungen	x	x	x	x	x								
11	MOS-Digitalschaltungen		x	x	x	x	x							
12	Layout-Entwurf		x	x										
13	Das Zeitverhalten		x	x	x									
14	Entwurfs-Werkzeuge		x	x	x	x	x	x	x	x	x	x	x	x
15	NMOS-Gatter-Synthese					x	x							
16	CMOS-Schaltungstechnik				x	x	x							
17	Schaltungen mit Multiplexern				x	x	x	x						
18	CMOS-Layout-Optimierung				x	x	x							
19	Strukturierter Entwurf			x	x	x	x	x			x			x
20	Strukturierte Entwürfe			x	x	x	x	x			x			x
21	Systolische Arrays							x			x	x	x	
22	Synthese Systolischer Arrays							x			x	x	x	
23	High-Level-Synthese						x	x	x	x	x	x	x	
24	Petri-Netze					x	x							

Bild 0.3: Eine Übersicht über die von den einzelnen Kapiteln behandelten Abstraktionsebenen.

Gliederung

1	Unsere Wettbewerbsfähigkeit	19
2	Die neue Lehre	53
3	Infrastrukturen... ..	67
4	VLSI-Algorithmen als vierter Weg	85
5	Was ist Technische Informatik?	99
6	Transistor-Schaltungstechnik	113
7	Logische Netze	135
8	Modelle der Switching-Ebene	159
9	MOS-Technologie	179
10	Integrierte Bipolar-Schaltungen	205
11	MOS-Digitalschaltungen	221
12	Layout-Entwurf	241
13	Das Zeitverhalten	269
14	Entwurfs-Werkzeuge	289
15	NMOS-Gatter-Synthese	303
16	CMOS-Schaltungstechnik	321
17	Schaltungen mit Multiplexern	343
18	CMOS-Layout-Optimierung	355
19	Strukturierter Entwurf	383
20	Strukturierte Entwürfe	403
21	Systolische Arrays	433
22	Synthese Systolischer Arrays	445
23	High-Level-Synthese	463
24	Petri-Netze	487
25	Übungsaufgaben	495
26	Glossar und Abkürzungs-Liste	509
27	Personen-Register	519
28	Stichworte	521
29	Ihre Verbesserungsvorschläge.....	539
30	Ihr Veröffentlichungs-Vorschlag.....	541
31	Übungsaufgaben: Anforderung der Lösungen ...	543

Inhalt

1	Unsere Wettbewerbsfähigkeit	19
1.1	Mikroelektronik als Schlüssel zur Mehrwert-Schöpfung	19
1.1.1	Zyklen wirtschaftlichen Strukturwandels	22
1.1.2	Unglaubliches Versagen unserer Wirtschaftspolitik	25
1.2	Das Technologie-Wettrennen	29
1.3	Das Speicher-Wettrennen	35
1.3.1	Das LCD-Wettrennen	41
1.4	Symptom Patent-Bilanz	43
1.5	Der Einfluß des Bildungssystems	43
1.5.1	Die Rolle der Technischen Universitäten	46
1.6	Schlußfolgerungen	47
1.7	Literatur	51
2	Die neue Lehre	53
2.1	Die Entwurfs-Krise	54
2.2	Die neue Mikroelektronik	57
2.3	Universitäten: Schöpfer der FDA-Software-Industrie	61
2.4	Konsequenzen	66
2.5	Literatur	66
3	Infrastrukturen	67
3.1	Die Technologie der 60er- und 70er-Jahre	67
3.2	ASICs	71
3.3	Anwender-programmierbare Schaltungen	75
3.4	Prototyping	77
3.5	Was ist zu tun?	81
3.6	Literatur	83
4	VLSI-Algorithmen als vierter Weg	85
4.1	Ein Beispiel: der Prioritäts-Operator	86
4.2	Strukturierter VLSI-Entwurf	91
4.3	Literatur	98
5	Was ist Technische Informatik?	99
5.1	Technische Informatik zwischen den Fachverbänden	99
5.2	Methodologische Ebenen der Technischen Informatik	103
5.2.1	Nicht-prozedurale Beschreibungen	105
5.2.2	Prozedurale Beschreibungen	109
5.3	Zusammenfassung	110
5.4	Literatur	111
6	Transistor-Schaltungstechnik	113
6.1	Der Transistor	113
6.1.1	Die Geschichte des Transistors	114
6.1.2	Der bipolare Transistor	115
6.1.2.1	Zur Physik des bipolaren Transistors	116
6.1.3	Der Feldeffekt-Transistor (FET)	118
6.1.3.1	Die Kenndaten des FET	121
6.1.4	Vergleiche zwischen bipolaren und unipolaren Transistoren	124
6.2	Repertorium der Schaltungstechnik	125

6.2.1	Graphische Verfahren zur Schaltungstechnik	125
6.3	Grundsaltungen mit Transistoren	127
6.3.1	Die Grundsaltungen des bipolaren Transistors	128
6.3.1.1	Der bipolare Transistor im Schalterbetrieb	128
6.3.1.2	Stromübernahme: Logik mit Dioden und Emittter-Kopplung	129
6.3.1.3	Bus-Modellierung von Digitalschaltungen	129
6.3.1.4	Transistormatrizen	130
6.3.2	Digitale Grundsaltungen mit MOS-Transistoren	130
6.3.3	Gemischte Digitalschaltungen	131
6.4	Schaltverhalten unter kapazitiver Last	132
6.4.1	Inverter mit kapazitiver Last	133
6.4.2	Dynamik des Emittterfolgers	133
6.5	Zusammenfassung des Kapitels	134
6.6	Literatur	134
7	Logische Netze	135
7.1	Schaltalgebra - auch außerhalb der Logik-Ebene	135
7.2	Entwurf logischer Gatter	136
7.3	Logik-Modellierung durch einfache Schalernetze	140
7.4	Transmissions-Logik	141
7.5	Serien/Parallel-zerlegbare Schalernetze	142
7.5.1	Definitionen und Beispiele	144
7.5.2	Ermittlung des T-Ausdruckes aus einem Transmissionsnetz	146
7.5.3	Ermittlung eines Transmissionsnetzes aus einem T-Ausdruck	150
7.6	Nicht-Serien/Parallel zerlegbare Schalernetze	151
7.6.1	Superposition logischer Zweipole	156
7.7	Literatur	157
8	Modelle der Switching-Ebene	159
8.1	CSA-Modelle und Niveau-Logik (Potential-Logik)	159
8.1.1	CSA-Modellierung von Verhältnis-Logik	161
8.2	Logische Schaltkreisfamilien	163
8.2.1	Synthese logischer Transistor-Schaltungen	166
8.3	Schalernetz-Optimierung	167
8.4	Modellierung in der Switching-Ebene mit KARL-3	170
8.5	Switching-Modellierung in Verilog®	176
8.6	Literatur	177
9	MOS-Technologie	179
9.1	Transistoren in integrierten Schaltungen	180
9.1.1	MOSFETs in integrierten Schaltungen	180
9.2	Herstellung und Materialfolge	184
9.2.1	Der Silicon-Gate-nMOS-Prozess	189
9.2.2	Erläuterungen von Prozess-Elemente	191
9.2.3	Ausbeute und Worst Case Design	195
9.3	Patterning	198
9.4	Weiterentwicklung der Herstellungs-Verfahren	200
9.5	Masken-programmierbare Schaltungen	201
9.6	Gehäuse-Technik (Packaging)	202
9.7	Literatur	203
10	Integrierte Bipolar-Schaltungen	205

10.1	Planare Realisierung von Bipolar-Transistoren	205
10.1.1	Über die Herstellung von Bipolar-Transistoren	206
10.1.2	Weitere Layout-Beispiele	209
10.1.3	Modulare Prozesse	210
10.1.4	Stück-Diagramme für bipolare Schaltungen	210
10.2	Integrierte Injektions-Logik (I^2L)	212
10.2.1	I^2L Devices	212
10.2.2	I^2L -Schaltnetze	214
10.2.3	Technology Mapping für I^2L	215
10.2.4	I^2L -Schaltungs-Entwurf	216
10.3	Literatur	220
11	MOS-Digitalschaltungen	221
11.1	nMOS-Verhältnis-Logik	222
11.2	NMOS-Multiplexer	223
11.3	Dynamische NMOS-Schaltungen	227
11.3.1	KARL-3-Beschreibung dynamischer nMOS-Schaltkreise.....	228
11.3.2	Verilog®-Beschreibung dynamischer nMOS-Schaltkreise.....	229
11.4	nMOS-MOL-Schaltungen (tiled logic).....	230
11.4.1	nMOS-PLAs	232
11.4.2	Der Weinberger-Array	238
11.5	Literatur	240
12	Layout-Entwurf	241
12.1	Layout-Entwurfsregeln	242
12.2	Entwurfsregeln für MOS-Schaltungen	244
12.2.1	Geometrische Regeln (Layout Rules)	245
12.2.2	Elektrische Regeln (electrical rules)	250
12.2.2.1	Elektrische Regeln für dynamische nMOS-Gatter	255
12.3	Von nMOS zu CMOS und bipolar	258
12.3.1	Layout-Maßnahmen gegen den Latch-up-Effekt	258
12.4	Bipolare Entwurfsregeln	260
12.5	Einige Layout-Beispiele	261
12.6	Literatur	262
13	Das Zeitverhalten	269
13.1	Das Zeitverhalten aktiver Bauelemente	269
13.1.1	Das Zeitverhalten von MOSFETs	271
13.2	Skalierung von Layout	273
13.3	Das Zeitverhalten von Interkonnekt	275
13.3.1	Schätzung der Kapazität des Interkonnekt	276
13.3.2	Interkonnekt-Modellierung	276
13.3.3	Multi-Chip-Module (MCMs)	277
13.4	Das Zeitverhalten von Schaltkreisen	279
13.4.1	Anwendung von Schaltkreis-Simulatoren	280
13.5	Maßnahmen zur Verbesserung des Zeitverhaltens	281
13.5.1	Der "Super-Buffer"	284
13.5.2	Pad-Treiber	284
13.6	Schnelle Integrierte Schaltungen	285
13.6.1	BiCMOS-Schaltungen	285
13.6.2	Schnelle Bipolar-Schaltungen	286
13.7	Literatur	286

14	Entwurfs-Werkzeuge	289
14.1	Arten von Entwurfsdaten	289
14.2	Werkzeugklassen nach Anwendungsgebieten	290
14.3	Beschreibung von Werkzeugen	293
14.4	Entwurfs(daten)-Sprachen und -Formate	298
14.5	Literatur	299
15	NMOS-Gatter-Synthese	303
15.1	Das Verfahren nach Culiney-Muroga	304
15.1.1	Begriffs-Definitionen	305
15.1.2	Die Phasen des Muroga-Algorithmus	305
15.1.3	Phase A: Gitterdiagramm mit Markierungsvektoren	306
15.1.3.1	Phase A 1: Erstellung eines Muroga-Gitterdiagramms	306
15.1.3.2	Phase A 2: Ermittlungen der Markierungen $I(V)$	307
15.1.3.3	Phase A 3: Normierung der Markierungen	310
15.1.4	Phase B: Berechnung der Minimal-Vektoren	313
15.1.4.1	Phase B.1: Berechnung der E-Vektoren (erweiterten Vektoren)	313
15.1.4.2	Phase B.2: Ermittlung der "Min-Vektoren" aus den E-Vektoren	315
15.1.5	Phase C: Ermittlung der Gatter aus den Min-Vektoren	317
15.2	Vergleich der Muroga-Lösung mit einer "Geradeaus"-Lösung	318
15.3	Anwendung auf komplementäre CMOS-Schaltungen (Phase D)	320
15.4	Literatur	320
16	CMOS-Schaltungstechnik	321
16.1	Gliederung der CMOS-Schaltungstechniken	321
16.1.1	Statische Logiken	322
16.1.2	Dynamische Logiken	325
16.1.3	P-E-Logiken	325
16.1.4	Exotische CMOS-Schaltungstechniken	326
16.2	Statische CMOS-Schaltungstechnik	326
16.2.1	Entwurfsverfahren für statische CMOS-Schaltungen	327
16.2.1.1	Ableitung aus der kanonischen Form	328
16.2.1.1.1	Serien/Parallel-Synthese aus zwei Gleichungen	328
16.2.1.1.2	Serien/Parallel-Synthese aus einer einzigen Gleichung	329
16.2.1.2	Das Verfahren nach Sutton	329
16.2.1.3	Die KV-Diagramm-Methode	331
16.2.1.4	Ermittlung des komplementären Transmissionsnetzes	334
16.3	Dynamische CMOS-Schaltungen (Clocked-CMOS)	334
16.4	Precharged CMOS-Schaltungstechnik (PE-Logiken)	335
16.4.1	Precharged with gated input	335
16.4.2	P-E-Logik	337
16.4.3	Das Charge-Sharing-Problem	339
16.4.4	DOMINO-CMOS-Schaltungstechnik	340
16.5	USP-CMOS Schaltungstechnik	342
16.6	Literatur	342
17	Schaltungen mit Multiplexern	343
17.1	Der Multiplexer	343
17.1.1	Geradeaus-Realisierung	345
17.1.2	nMOS-Realisierung mit Transfer-Transistoren	345
17.1.3	ULMs	347
17.2	Kräuse Logik aus Transmissionsnetzen	348

17.2.1	Die Anwendung von Shannon's Expansions-Theorem	349
17.3	CMOS: Multiplexer-basiert	350
17.3.1	Shannon-Entwicklung und Multiplexer-Schaltetze	351
17.3.2	Multiplexer-basierter CMOS-Volladdierer	352
17.4	Literatur	353
18	CMOS-Layout-Optimierung	355
18.1	Notationen und Modelle	356
18.1.1	Multi-Graphen zur Modellierung statischer CMOS-Schaltungen	357
18.1.2	Euler-Pfade	360
18.2	Manuelles Verfahren nach Uehara und van Cleemput	361
18.3	Heuristischer Algorithmus n. Uehara / van Cleemput	367
18.4	Transmissionsnetze und Uehara / van Cleemput	372
18.4.1	Maximaler Eulerpfad aus zwei Transmissionsnetzen	375
18.4.2	Ermittlung einer Minimalzahl von Eulerpfaden	376
18.4.3	Layoutbestimmung aus Transmissionsnetz und Kantenfolge	377
18.4.4	Zusammenfassung des Algorithmus nach Alfis	378
18.4.5	Ein Anwendungs-Beispiel zum Algorithmus nach Alfis	379
18.5	Neuere Entwicklungen der CMOS-Layout-Optimierung	380
18.6	Andere CMOS-Layout-Strukturen	381
18.7	Literatur	381
18.7.1	Literatur über multifunktionale Gate-Matrix-Zellen	382
19	Strukturierter Entwurf	383
19.1	Entwurf eines in Stapelregister (Stack)	385
19.1.1	Quasi-statisches Flipflop	386
19.1.2	Realisation des Stack	387
19.2	Topologische Aspekte	391
19.3	Der Shuffle Sort: Beispiel eines "Smart Memory"	393
19.3.1	Ein erster Entwurf	394
19.3.2	Verbesserte Version des Sortierers	395
19.3.3	Zeitverhalten; Analyse der Effizienz	398
19.4	Eine graphische Sprache für strukturierten Entwurf	398
19.5	Literatur	401
20	Strukturierte Entwürfe	403
20.1	Hinweise zur Entwurfspraxis	403
20.2	Ein transformierender Speicher	405
20.3	Generische Hardware-Strukturen	413
20.3.1	Ablument-Ausdrücke	413
20.3.2	Funktional-topologische Ausdrücke	414
20.3.3	Rekursive Hardware-Beschreibung	415
20.3.4	Eine strukturierte Tally-Schaltung	416
20.3.5	Addierer-Schaltungen und ALUs	418
20.3.5.1	Die "Manchester-Chain"	419
20.3.5.2	Carry Look Ahead	422
20.4	Algebraischer Entwurf regelmäßiger Strukturen	425
20.4.1	Verdrahtungsoperatoren	426
20.4.1.1	Andere Verdrahtungs-Funktionen	427
20.4.2	Algebraischer Entwurf eines Multiplizierers	427
20.5	Literatur	431

21	Systolische Arrays	433
21.1	Die Faltung als einführendes Beispiel	433
21.2	Formen-Vielfalt systolischer Arrays	436
21.2.1	Matrix-Vektor-Multiplikation	436
21.3	Synthese und Optimierung mit Retiming	437
21.3.1	Retiming synchroner Systeme	440
21.3.2	Optimierung systolischer Arrays	441
21.4	Effizienz-Analyse systolischer Arrays	442
21.5	Literatur	444
22	Synthese Systolischer Arrays	445
22.1	Systolische Synthese aus globaler Sicht	445
22.2	Die graphische Projektions-Methode	448
22.2.1	Definitionen	448
22.2.2	Abbildung eines DDG in SFGs	450
22.2.3	Abbildung eines Algorithmus in ein VLSI-Array	452
22.2.4	Das Entwurfsverfahren am Beispiel der Faltung	453
22.2.5	Synthese-Beispiel Matrix-Vektor-Multiplikation	456
22.3	Literatur	462
23	High-Level-Synthese	463
23.1	Motivation und Teilaufgaben	463
23.2	Kompilation & Optimierung	467
23.3	Schrittplanung (Scheduling)	474
23.3.1	Schrittplanungs-Algorithmen	475
23.3.2	ASAP and ALAP Schrittplanung	475
23.3.2.1	Algorithmus: ASAP-Schrittplanung	476
23.3.2.2	Algorithmus: ALAP-Schrittplanung	477
23.3.2.3	Listen-Schrittplanung	477
23.3.2.4	Formale Definition zeitkritischer Schrittplanung:	478
23.3.2.5	Force-Directed Scheduling	479
23.3.2.6	Allgemeine Berechnung der Kräfte	482
23.3.2.7	Algorithmus: Force-Directed Scheduling	483
23.4	Pipeline-Synthese	483
23.5	Hardware/Software-Ko-Design	483
23.6	Literatur	484
24	Petri-Netze	487
24.1	VLSI Realisation von Petri-Netzen	487
24.2	Grundlegendes Hardwarekonzept	488
24.3	Übergangsprioritäten	491
24.4	Frei programmierbares Petri-Array	493
24.5	Abschließende Betrachtung	494
24.6	Literatur	494
25	Übungsaufgaben	495
26	Glossar und Abkürzungs-Liste	509
27	Personen-Register	519
28	Stichworte	521